
HELLODSP
TMS320DM642中文手册
亮亮、KAZE、虎妞等翻译
All rights reserved by hellodsp.com @ 2008

前言

《TMS320DM642 中文手册》在 DSP 交流网（www.hellodsp.com）网友们的共同努力下，经过一个多月的翻译终于完成了，这是首次尝试，也是一次出色的合作。

此次翻译由网友亮亮发起，并全程负责，在这里对亮亮表示真诚的感谢和敬佩。同时，非常感谢以下参与翻译的网友们：

KaZE 虎妞 Michael 碧鲨 龙啸九天 可可橘子 Iceprince 田羽 Steward Shayne ward 张焱翔 Gaofeng_Q^_^ 风来的西林/$ JH DSP-F2812 方块糖 流星~落梦 另类爷们 kelly 心中的天 Embedded-A&D ☆星夜☆/yl 木头︹┳一人

HELLODSP
08-04-25

DSP 交流网联系方式：
Email：hellodsp@vip.163.com
QQ： 778086555

TMS320DM642 中文手册

第 1 章 TMS320DM642 视频/图像定点数字信号处理器

1.1特点

l 高性能数字媒体处理器
- 2-，1.67-，1.39-ns 指令周期
- 500-，600-，720-MHz 时钟频率
- 每周期执行 8 条 32 位指令
- 与 C64x 完全兼容

n VelociT1.2 是具有先进超长指令字（VLIW）TMS320C64x DSP 核 VelociT 的升级版
- 8 个独立的功能单元

n 6 个 ALU（32/40bit），每个功能单元支持每时钟周期 32 位算术操作，双 16 位比特算术操作，或 4 个 8 位算术操作

n 2 个乘法器支持每时钟周期 4 个 16×16 位的乘法（结果是 32 位）或者 8 个 8×8 位乘法（结果是 16 位）
- 具有无需阵列支持的负载存储结构（1）
- 64/32 位通用寄存器
- 指令打包技术，减少代码容量

l 指令设置特点
- 字节寻址（8/16/32/64 位数据）
- 8 位溢出保护
- 可位提取，设置，清除操作
- 标准化，饱和度（1），位计数
- 增强交互的 VelociT1.2

l L1/L2 存储器结构
- 128Kbit（16Kbyte）L1P 程序缓存（直接映射）
- 128Kbit（16Kbyte）L1D 数据缓存（2 路结合设置）
- 2Mbit（256Kbyte）L2 标准映射 RAM/缓存（灵活的 RAM/缓存分配）

l 小端模式，大端模式

l 64 位外部存储器接口（EMIF）
- 支持异步存储器（SRAM 和 EPROM）和同步存储器（SDRAM，SBSRAM，ZBT SRAM 和 FIFO）直接接口
- 总共 1024Mbyte 可寻址外部存储空间

l 增强的直接存储器访问（EDMA）控制器（64 个独立的通道）

l 10/100Mb/s 以太网控制器（EMAC）
- 适应 IEEE802.3

- 媒体独立接口（MII）
- 8 个独立的发送通道和 1 个接收通道

- 管理数据输入输出（MDIO）
- 3 个可配置视频接口
  - 给公共的视频编码解码器件提供一个直接 I/F 接口
  - 支持多种协议/视频标准
- 内插 VCXO 控制接口
  - 支持同步音频/视频
- 主机接口（HPI）[32/16 位]
- 符合 PCI 接口规范 2.2 版本，32 位/66MHz，3.3V PCI 主/从接口
- 多通道音频串行接口（McASP）
  - 8 个串行数据引脚
  - 多种 I^2S 和相似的比特流格式
  - 完整的数字音频 I/F 发送器，支持 P/DIF, IEC60958-1, AES-3, CP-430 格式
- I^2C 总线
- 2 个多通道缓存串行接口
- 3 个 32 位通用定时器
- 16 个通用输入输出（GPIO）引脚
- 灵活的 PLL 时钟发生器
- 支持 IEEE-1149.1（ JTAG）边界扫描接口
- 548 引脚球栅阵列（BGA）封装（GDK 和 ZDK 为后缀），0.8mm Ball Picth(1)
- 548 引脚球栅阵列（BGA）封装（GNK 和 ZNK 为后缀），1.0mm Ball Picth(1)
- 0.13μm/6 等级 CMOS 工艺
- I/O 采用 3.3V 供电，内核采用 1.2V 供电（-500）
- I/O 采用 3.3V 供电，内核采用 1.4V 供电（A-500，A-600，-600，-720）

注：红色标示的是翻译不确定的地方

1.2 概述

TMS320C64x DSP 芯片（包括 TMS320DM642）是在 TMS320C6000 DSP 平台上的高性能定点 DSP。TMS320DM642（DM642）是基于有 TI 开发的第二代高性能，先进 VelociTI 技术的 VLIW 结构（VelociTI1.2），从而使得这些 DSP 芯片成为数字多媒体的极好的选择。

DM642 在主频 720MHz 下处理速度达到 5760MIPS，并且给高性能 DSP 规划提供了廉价的解决方案。DM642 操作灵活的高速处理器和用数字表达容量的阵列处理器。C64x DSP 核具有 64 个 32 位字长的通用寄存器和 8 个独立的功能单元——两个结果为 32 位的乘法器和 6 个 ALUs——是 VelociTI1.2 的升级版。VelociTI1.2 升级版在 8 个功能单元里包括新的指令，可以在视频和图像应用方面提高性能，并能对 VelociTI 结构进行扩充。DM642 每周期能够提供 4 个 16 位 MACs，每秒可提供 2880 百万个 MACs，或者 8 个 8 位 MACs，每秒 5760MMACs。DM642 具有特殊应用的硬件结构，片上存储器和与其它的 C6000 系列 DSP 平台相似的额外的片上外围设备。

DM642 使用两级缓存，有一个强大的多变的外围设置。一级程序缓存 L1P 是一个 128Kbit 的直接映射缓存，另一级数据缓存 L1D 是一个 128Kbit 双路结合设置缓存。L2 存储器能被配置成映射存储器，高速缓存或者两者结合。外围设置包括：3 个可配置的视频端口；1 个 10/100Mb/s 的以太网控制器（EMAC）；1 个管理数据输入输出（MDIO）；1 个内插 VCXO 控制接口；1 个 McASP0；1 个 I^2C 总线；2 个 McBSPs；3 个 32 位通用定时器；1 个用户配置的 16 位或 32 位主机接口（HPI16/HPI32）；1 个 PCI；1 个 16 引脚的通用输入输出口（GP0），具有可编程中断/事件产生模式；1 个 64 位 IMIFA，可以与同步和异步存储器和外围设备相连。

DM642 具有 3 个可配置视频端口（VP0,VP1,VP2）。这些视频端口给公共视频编解码设备提供了直接接口。DM642 视频端口支持多种解决方法和视频标准（例如，CCIR601，ITU-BT.656，BT.1120，SMPTE125M，260M，274M，296M）。

这三个视频端口是可配置的，并能提供视频捕获和/或视频显示模式。每个视频端口由两个通道组成——A 和 B，这两个通道具有一个可分离的 5120 字节捕获/显示缓存。
了解更多视频端口的详细内容可以参考 *TMS320C64x DSP Video Port/VCXO Interpolated Control (VIC) Port Reference Guide (literature number SPRU629).*

McASP0 端口提供了一个发射和一个接收时钟区，有 8 个串行数据引脚，能够分别安置到这两个区域。从 2 到 32 个时隙，在每个引脚上串行口支持时分多路技术。DM642 具有有

效的带宽支持 8 个串行数据引脚传输一个 192KHz 立体声信号。每个区域的串行数据在多个串行数据引脚上可以同时地被发射和接收，并可以在飞利浦 I^2S 形式上设计成多种样式。另外，McASP0 发送器可以同时地被编程为输出多种 S/PDIF，IEC60958, AES-3,CP-430 编码数据通道，同时一个 RAM 包含完整的可执行用户数据和通道状态区域。

McASP0 也具有差错检查和恢复特征，比如可检测不利高频主时钟的时钟探测电路，它可以校验主时钟是否在一个可编程频率范围内。

VCXO VIC 口提供了从 9 位到 16 位的数字到模拟的转化功能。VIC 输出是一个单独的内插 D/A 输出的位。关于 VIC 更详细的内容可见 *TMS320C64x DSP Video Port/VCXO Interpolated Control (VIC) Port Reference Guide (literature number SPRU629).*

EMAC 在 DM642 DSP 核处理器和网络之间提供了一个有效的接口。DM642 EMAC 支持半双工或全双工的 10Base-T 和 100Base-TX 或 10Mbits/s（Mbps）和 100Mbps，还支持硬件流控制和 QOS。DM642 EMAC 使用定制的接口与 DSP 核相连，可以让数据有效的传送和接收。关于 EMAC 更详细的资料可见 *TMS320C6000 DSP Ethernet Media Access Controller (EMAC) / Management Data Input/Output (MDIO) Module Reference Guide (literature number SPRU628).*

MDIO 模块不断地获取全部的 32 个 MDIO 地址，列举出系统中所有 PHY 器件。一旦有候选的 PHY 被 DSP 选中，MDIO 模块马上通过读取 PHY 状态寄存器监控它的连接。连接的改变能保存在 MDIO，并可随时中断 DSP，使得 DSP 无需不断执行 MDIO 存取操作就可获取连接的状态。关于 MDIO 更详细的资料可见 *TMS320C6000 DSP Ethernet Media Access Controller (EMAC) / Management Data Input/Output (MDIO) Module Reference Guide (literature number SPRU628).*

TMS320DM642 的 I2C0 口使得 DSP 很容易得控制外围器件和与主机的通信。另外，标准的 McBSP 可以被用来与 SPI 模式的外围设备通信。
DM642 具有一整套开发工具，包括：新的 C 编译器，可以简化编程和时间的代码优化器和具有执行代码可见性的 Windows 调试器接口。

1.2.1 器件兼容性

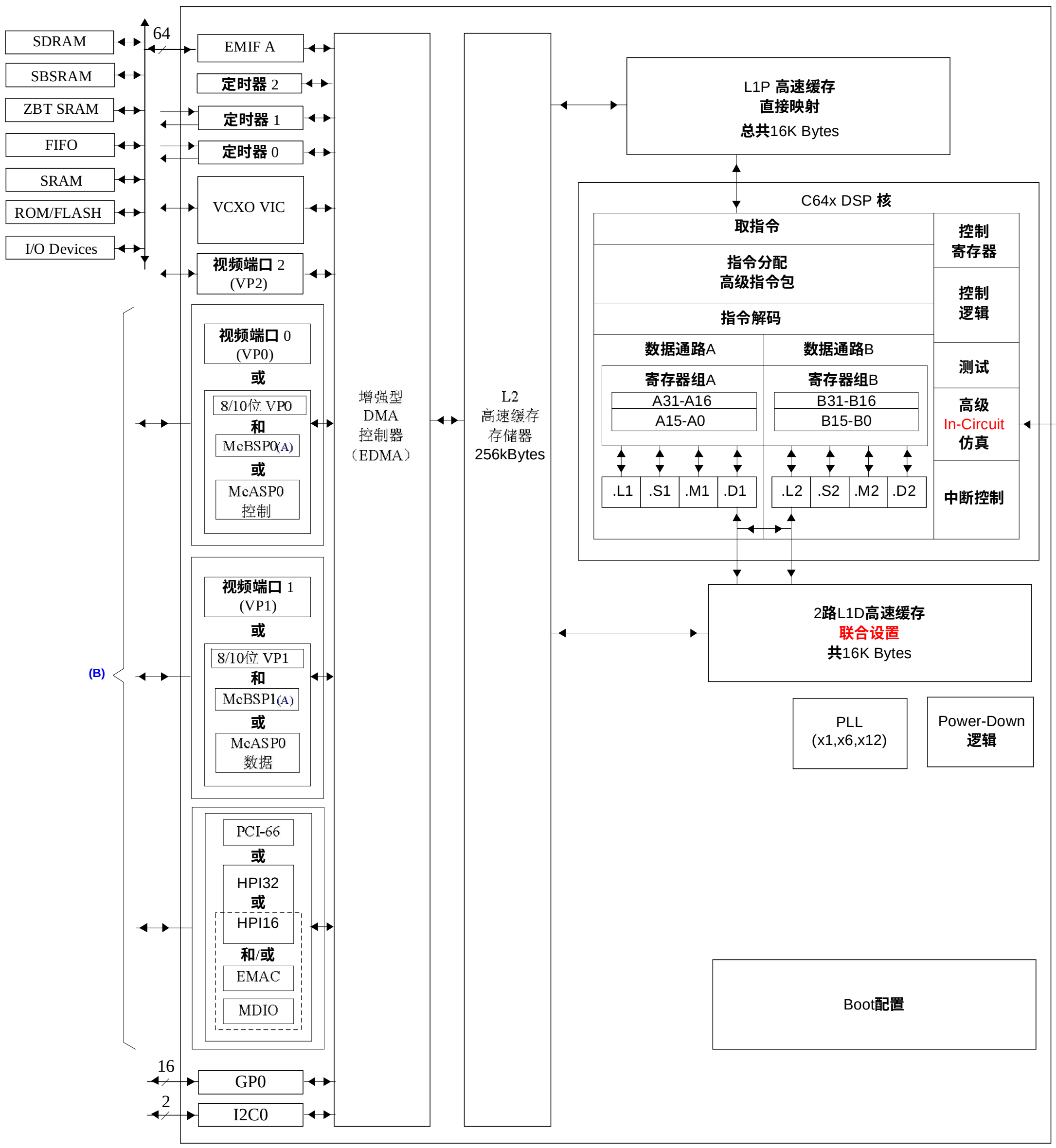
DM642 与 C6000 DSP 平台的代码兼容。

C64x DSP 器件具有多变和强大的外围设备装置。

关于器件兼容性和 DM642与其它 C64x器件的异同可见 TMS320DM642 Technical Overview (literature number SPRU615)。

1.3原理框图

表 0-1显示的是 DM642 的原理框图。



A． McBSPs：Framing Chips-H.100，MVIP，SCSA，T1，E1；AC97 设备；SPI 设备；编解码器

B． 视频端口 0（VP0）外设与 McBSP0 和 McASP0 控制引脚相复用。视频端口 1 外设与 McBSP1 和 McASP1 数据引脚相复用。PCI 外设与 HPI（32/16），EMAC 和 MDIO 外设相复用。关于这些外设复用引脚的更详细资料可见本资料的器件配置这部分。

表 0-1 原理框图

第 2 章 器件纵览

2.1器件特性

表 2-1提供了 DM642 DSP的纵览。这张表格显示了 DM642的重要特征，包括片上 RAM 的容量，外设，CPU频率和封装类型及引脚数。

表 2-1 DM642处理器特性

硬件特性		DM642
外设 不是所有的外设引脚同时可用（更详细信息可见器件配置这部分）	EMIFA（64位总线宽度）(时钟源 = AECLKIN)	1
	EDMA（64 个独立通道）	1
	McASP0 (使用外设时钟 [AUXCLK])	1
	I2C0 (使用外设时钟)	1
	HPI（32或 16位 用户可选）	1 (HPI16 or HPI32)
	PCI（32位），66-MHz/33-MHz [器件 ID 寄存器值 0x9065]	1
	McBSPs (内部时钟源 = CPU/4 时钟频率)	2
	可配置视频端口 （VP0，VP1，VP2)	3
	10/100 以太网媒体存取控制器（EMAC)	1
	数据输入/输出管理 (MDIO)	1
	VCXO 内插控制端口 (VIC)	1
	32位定时器 (内部时钟源 = CPU/8 时钟频率)	3
	通用输入/输出端口 (GP0)	16
片上存储器	大小 (字节)	288K
	组织	16K字节 （16KB）L1程序（L1P) 高速缓存 16KB L1数据 （L1D) 高速缓存 256KB 标准映射 RAM/Cache（L2)
CPU ID + CPU Rev ID	控制状态寄存器 (CSR.[31:16])	0x0C01
JTAG BSDL_ID	JTAGID寄存器 (地址：0x01B3F008)	0x0007902F
频率	MHz	500，600，720

周期	ns	2 ns (DM642-500) 和 (DM642A-500) [500 MHz CPU, 100 MHz EMIF(1), 33 MHz PCI 口] 1.67 ns (DM642-600) and (DM642A-600) [600 MHz CPU, 133 MHz EMIF(1), 66 MHz PCI口] 1.39 ns (DM642-720) [720 MHz CPU, 133 MHz EMIF(1), 66 MHz PCI口]
电压	核 (V)	1.2 V (– 500) 1.4 V (A-500, A-600, -600, -720)
	I/O (V)	3.3 V
PLL选项	CLKIN倍频器	旁路 (x1), x6, x12

表 2-1 DM642处理器特性（续表）

硬件特性		DM642
BGA封装	23 x 23 mm	548引脚 BGA (GDK and ZDK)
	27 x 27 mm	548-Pin BGA (GNZ and ZNZ)
处理技术	µm	0.13 µm
产品状况(2)	产品预览 (PP), 预报 (AI)或生产数据 (PD)	PD

（1） 在 DM642上，EMIF额定速度只影响 SDRAM接口。关于更详细信息可见本数据手册的EMIF器件速度部分。

（2） PRODUCTION DATA 信息是目前的出版日期。产品符合每个期限的德州仪器标准授权规范书。

2.2 CPU（DSP核）概述

该 CPU采用 VelociTI 高级超长指令字（VLIWS）（宽度为 256位），支持 8条 32位的指令，使其在每个时钟周期内可操作 8个功能单元。VelociTI 超长指令字的结构特性决定了 8个功能单元在没有都准备好执行指令时，是不会提供指令的。每条 32位的指令的第一位都表示下一条指令是否和前一条指令是否属于同一个执行包，或者该指令是否应该在下一个时钟周期作为下一个执行包的一部分被执行。获取的包总是为 256位，然而执行包的字长是可变的。可变长度的执行包是以一个重要的节省存储器的特性，该特性与其他超长指令字架构的 C64x 是有区别的。C64x VelociTI.2 扩展性能增强了 TMS320C62x DSP VelociTI 架构的性能。这些增强性能包括：

- 增强型寄存器文件
- 数据通道扩展
- 4路 8位和 2路 16位的增强型数据流
- 新增的硬件功能单元
- 增强型正交指令系统
- 新增指令具有减少代码大小和增加寄存器适应性的功能

该 CPU包含两组能单元。每组功能单元包含 4个功能单元和 1个寄存器组。一组包含 L1、S1、M1、D1这 4个功能单元，另一组包含 D2、M2、S2、L2这 4个功能单元。2个寄存器组各包含 32个 32位寄存器，总共 64个通用寄存器。除了支持 C62x VelociTI 超长指令字架构所具有的 16bit和 32位 /40位定点数据类型，C64x 寄存器文件还支持 8位和 64位定点数据类型。CPU 的 A侧和 B侧由上述两组带有寄存器组的功能单元组成 [参见功能块和 CPU（DSP核）图图 2-1]。在每侧的 4个功能单元可以自由的共享属于该侧的 32个寄存器。另外，每侧包含一个“数据交叉通道”—— 一条链接到另一侧所有寄存器的单数据总线，这样两组功能单元可以访问来自另一侧寄存器的数据。C64x CPU流水线中数据交叉通道占用多个时钟周期。这样就可以允许同一个寄存器在一个执行包中被不同的功能单元当作数据交叉通道的操作数来使用。在 C64x CPU中所有的功能单元都可以通过数据交叉通道访问操作数。寄存器以寄存器组的形式在单时钟周期内向所有同侧功能单元提供服务。在 C64x CPU中，只要寄存器在前一个时钟周期被更新，那么当一条指令试图通过数据交叉通道来读取寄存器值，都需要引入延迟时钟。

除了 C62x DSP的定点指令，C64x DSP还包括了一系列全面的 8位和 16位扩展指令系统。这些 VelociTI.2 扩展特性允许 C64x CPU直接塞入数据到数据流，并提高了指令集的执行效率。这对视频和图像应用是关键要素。

C64x CPU另一个关键特性是载入 /存储结构，在这个结构中所有的指令操作寄存器（与在存储器中数据的操作完全不同）。2组数据寻址单元（.D1和 .D2）负责所有的数据在寄存器文件和存储器之间转换。.D驱动的数据地址允许由一个寄存器文件生成的数据地址用来装

载或存储数据到另一个的寄存器文件，或者允许由一个寄存器文件生成的数据地址用来装载或存储来自另一个的寄存器文件的数据。C64x .D单元可以用一条指令装载和存储 8位、16位和 32位的数据。在新的数据通道扩展下 C64x .D单元可以用一条指令装载和存储 64位的数据。而且，无关联装载和存储指令允许 .D单元在任意字节界限内访问 32位和 64位数据。C64x CPU支持许多间接寻址模式，使用线性或循环寻址，可以使用 5位或 15位偏移量。所有的指问都是条件反应指令，大多数的指令能访问任意一个 64位的寄存器。有些寄存器作为支持特别的寻址模式或为条件指令保持状态（如果条件不是自动为真）。

2个 .M功能单元执行所有的乘法操作。每个 C64x .M单元可以在每个时钟周期执行 2个 16×16位乘法，或者 4个 8×8位乘法。.M单元也能执行 16×32位乘法、带有加/减的二重 16×16位乘法、带有加法的四重 8×8位乘法。除了标准的乘法，C64x .M单元还支持位计数、旋转、伽罗瓦域乘法、硬件双向可变移位器。

2个 .S和 .L功能单元执行一般算数运算、逻辑运算和分支程序，其运算结果在每个时钟周期可用。在 C64x CPU中算术运算和逻辑运算包括单 32位、2个 16位、4个 8位的操作。

当一条 256位宽度取指令包从程序存储器取得时，处理流程开始。指向单独功能单元 32位的指令被最低有效位（LSB）为“1”的指令“链接”到一起。这些被“链接”到一起需要同时执行（最大支持 8条）的指令组成一个执行包。一个最低有效位为“0”的指令打断这个“链接”，随后的指令事实上放置在下一个执行包中。一个增强的 C64x DSP设备现在允许执行包跨过取包分界线取包。在 TMS320C62x TMS320C67x DSP设备中如果一个执行包跨过取包分界线（宽度 256位），汇编器将其放置到下一个取包，同时剩余的当前取包填补空操作指令。在 C64x DSP设备中去掉了执行分界线约束，因此除去了所有被填补到取包中的空操作，这样就减小了总代码的大小。1个取包中包含的执行包个数可以有 1个到 8个，执行包以一个时钟周期一个的速度被分派到各自的功能单元，所有来自当前包的执行包被分配后才进行下一个 256位的取包。解码后，指令同时驱动所有活动的功能单元，最大的执行率为每个时钟周期 8条指令。当在 32位寄存器中储存了大部分的计算结果后，计算结果接着以字节（8位）、半字（16位）、字（32位）、或双字（64位）的形式被放入存储器。所有的装载和存储指令都可设置以字节（8位）、半字（16位）、字（32位）、或双字（64位）的形式存储。

关于更详细的增强型 C64x CPU功能单元的介绍请参考下列文档：

- TMS320C6000 CPU and Instruction Set Reference Guide（文件号：SPRU189）
- TMS320*C64x Technical Overview*（文件号：SPRU395）

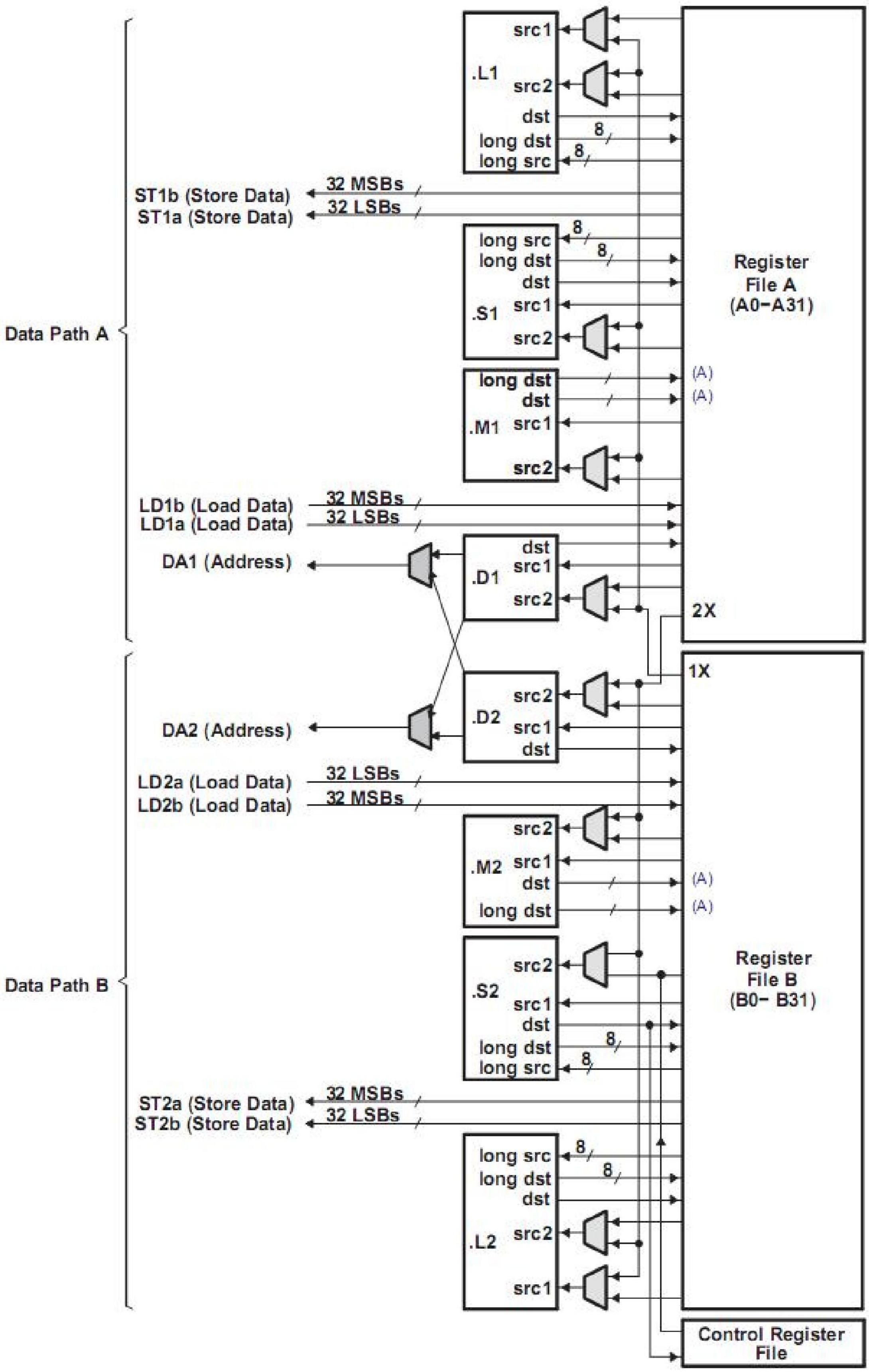


图 2-1 TMS320C64x CPU（DSP 核）数据通路

其中：

A. M**单元**long dst**是**32MSB,dst**是**32LSB

2.2.1 CPU核寄存器

表 2-2 .L2高速缓存寄存器（C64x）

十六进制地址范围	首字母缩写	寄存器名	备注
0184 0000	CCFG	高速缓冲器配置寄存器	
0184 0004 – 0184 0FFC	–	保留	
0184 1000	EDMAWEIGHT	L2 增强型 DMA 访问控制寄存器	
0184 1004 – 0184 1FFC	–	保留	
0184 2000	L2ALLOC0	L2 配置寄存器 0	
0184 2004	L2ALLOC1	L2 配置寄存器 1	
0184 2008	L2ALLOC2	L2 配置寄存器 2	
0184 200C	L2ALLOC3	L2 配置寄存器 3	
0184 2010 – 0184 3FFC	–	保留	
0184 4000	L2WBAR	L2 回写基地址寄存器	
0184 4004	L2WWC	L2 回写字计数寄存器	
0184 4010	L2WIBAR	L2 回写无效基地址寄存器	
0184 4014	L2WIWC	L2 回写无效字计数寄存器	
0184 4018	L2IBAR	L2 无效基地址寄存器	
0184 401C	L2IWC	L2 无效字计数寄存器	
0184 4020	L1PIBAR	L1P 无效基地址寄存器	
0184 4024	L1PIWC	L1P 无效字计数寄存器	
0184 4030	L1DWIBAR	L1D 回写无效基地址寄存器	
0184 4034	L1DWIWC	L1D 回写无效字计数寄存器	
0184 4038 – 0184 4044	–	保留	
0184 4048	L1DIBAR	L1D 无效基地址寄存器	
0184 404C	L1DIWC	L1D 无效字计数寄存器	
0184 4050 – 0184 4FFC	–	保留	
0184 5000	L2WB	L2 全部回写寄存器	
0184 5004	L2WBINV	L2 全部回写无效寄存器	
0184 5008 – 0184 7FFC	–	保留	
0184 8000 – 0184 81FC	MAR0 to MAR127	保留	
0184 8200	MAR128	外部存储器接口 CE0 控制范围 8000 0000 – 80FF FFFF	
0184 8204	MAR129	外部存储器接口 CE0 控制范围 8100 0000 – 81FF FFFF	
0184 8208	MAR130	外部存储器接口 CE0 控制范围 8200 0000 – 82FF FFFF	
0184 820C	MAR131	外部存储器接口 CE0 控制范围 8300 0000 – 83FF FFFF	
0184 8210	MAR132	外部存储器接口 CE0 控制范围 8400 0000 – 84FF FFFF	
0184 8214	MAR133	外部存储器接口 CE0 控制范围 8500 0000 – 85FF FFFF	

0184 8218	MAR134	外部存储器接口 CE0 控制范围 8600 0000 – 86FF FFFF	
0184 821C	MAR135	外部存储器接口 CE0 控制范围 8700 0000 – 87FF FFFF	
0184 8220	MAR136	外部存储器接口 CE0 控制范围 8800 0000 – 88FF FFFF	
0184 8224	MAR137	外部存储器接口 CE0 控制范围 8900 0000 – 89FF FFFF	

表 2-2 .L2高速缓存寄存器（C64x）（续前表）

十六进制地址范围	首字母缩写	寄存器名	备注
0184 8228	MAR138	外部存储器接口 CE0 控制范围 8A00 0000 – 8AFF FFFF	
0184 822C	MAR139	外部存储器接口 CE0 控制范围 8B00 0000 – 8BFF FFFF	
0184 8230	MAR140	外部存储器接口 CE0 控制范围 8C00 0000 – 8CFF FFFF	
0184 8234	MAR141	外部存储器接口 CE0 控制范围 8D00 0000 – 8DFF FFFF	
0184 8238	MAR142	外部存储器接口 CE0 控制范围 8E00 0000 – 8EFF FFFF	
0184 823C	MAR143	外部存储器接口 CE0 控制范围 8F00 0000 – 8FFF FFFF	
0184 8240	MAR144	外部存储器接口 CE0 控制范围 9000 0000 – 90FF FFFF	
0184 8244	MAR145	外部存储器接口 CE1 控制范围 9100 0000 – 91FF FFFF	
0184 8248	MAR146	外部存储器接口 CE1 控制范围 9200 0000 – 92FF FFFF	
0184 824C	MAR147	外部存储器接口 CE1 控制范围 9300 0000 – 93FF FFFF	
0184 8250	MAR148	外部存储器接口 CE1 控制范围 9400 0000 – 94FF FFFF	
0184 8254	MAR149	外部存储器接口 CE1 控制范围 9500 0000 – 95FF FFFF	
0184 8258	MAR150	外部存储器接口 CE1 控制范围 9600 0000 – 96FF FFFF	
0184 825C	MAR151	外部存储器接口 CE1 控制范围 9700 0000 – 97FF FFFF	
0184 8260	MAR152	外部存储器接口 CE1 控制范围 9800 0000 – 98FF FFFF	
0184 8264	MAR153	外部存储器接口 CE1 控制范围 9900 0000 – 99FF FFFF	
0184 8268	MAR154	外部存储器接口 CE1 控制范围 9A00 0000 – 9AFF FFFF	
0184 826C	MAR155	外部存储器接口 CE1 控制范围 9B00 0000 – 9BFF FFFF	
0184 8270	MAR156	外部存储器接口 CE1 控制范围 9C00 0000 – 9CFF FFFF	

0184 8274	MAR157	外部存储器接口 CE1 控制范围 9D00 0000 – 9DFF FFFF	
0184 8278	MAR158	外部存储器接口 CE1 控制范围 9E00 0000 – 9EFF FFFF	
0184 827C	MAR159	外部存储器接口 CE1 控制范围 9F00 0000 – 9FFF FFFF	
0184 8280	MAR160	外部存储器接口 CE2 控制范围 A000 0000 – A0FF FFFF	
0184 8284	MAR161	外部存储器接口 CE2 控制范围 A100 0000 – A1FF FFFF	
0184 8288	MAR162	外部存储器接口 CE2 控制范围 A200 0000 – A2FF FFFF	
0184 828C	MAR163	外部存储器接口 CE2 控制范围 A300 0000 – A3FF FFFF	
0184 8290	MAR164	外部存储器接口 CE2 控制范围 A400 0000 – A4FF FFFF	
0184 8294	MAR165	外部存储器接口 CE2 控制范围 A500 0000 – A5FF FFFF	
0184 8298	MAR166	外部存储器接口 CE2 控制范围 A600 0000 – A6FF FFFF	
0184 829C	MAR167	外部存储器接口 CE2 控制范围 A700 0000 – A7FF FFFF	
0184 82A0	MAR168	外部存储器接口 CE2 控制范围 A800 0000 – A8FF FFFF	
0184 82A4	MAR169	外部存储器接口 CE2 控制范围 A900 0000 – A9FF FFFF	
0184 82A8	MAR170	外部存储器接口 CE2 控制范围 AA00 0000 – AAFF FFFF	
0184 82AC	MAR171	外部存储器接口 CE2 控制范围 AB00 0000 – ABFF FFFF	
0184 82B0	MAR172	外部存储器接口 CE2 控制范围 AC00 0000 – ACFF FFFF	
0184 82B4	MAR173	外部存储器接口 CE2 控制范围 AD00 0000 – ADFF FFFF	
0184 82B8	MAR174	外部存储器接口 CE2 控制范围 AE00 0000 – AEFF FFFF	
0184 82BC	MAR175	外部存储器接口 CE2 控制范围 AF00 0000 – AFFF FFFF	
0184 82C0	MAR176	外部存储器接口 CE3 控制范围 B000 0000 – B0FF FFFF	

表 2-2 .L2高速缓存寄存器（C64x）（续前表）

十六进制地址范围	首字母缩写	寄存器名	备注
0184 82C4	MAR177	外部存储器接口 CE3 控制范围 B100 0000 – B1FF FFFF	
0184 82C8	MAR178	外部存储器接口 CE3 控制范围 B200 0000 – B2FF FFFF	
0184 82CC	MAR179	外部存储器接口 CE3 控制范围 B300 0000 – B3FF FFFF	

0184 82D0	MAR180	外部存储器接口 CE3 控制范围 B400 0000 – B4FF FFFF	
0184 82D4	MAR181	外部存储器接口 CE3 控制范围 B500 0000 – B5FF FFFF	
0184 82D8	MAR182	外部存储器接口 CE3 控制范围 B600 0000 – B6FF FFFF	
0184 82DC	MAR183	外部存储器接口 CE3 控制范围 B700 0000 – B7FF FFFF	
0184 82E0	MAR184	外部存储器接口 CE3 控制范围 B800 0000 – B8FF FFFF	
0184 82E4	MAR185	外部存储器接口 CE3 控制范围 B900 0000 – B9FF FFFF	
0184 82E8	MAR186	外部存储器接口 CE3 控制范围 BA00 0000 – BAFF FFFF	
0184 82EC	MAR187	外部存储器接口 CE3 控制范围 BB00 0000 – BBFF FFFF	
0184 82F0	MAR188	外部存储器接口 CE3 控制范围 BC00 0000 – BCFF FFFF	
0184 82F4	MAR189	外部存储器接口 CE3 控制范围 BD00 0000 – BDFF FFFF	
0184 82F8	MAR190	外部存储器接口 CE3 控制范围 BE00 0000 – BEFF FFFF	
0184 82FC	MAR191	外部存储器接口 CE3 控制范围 BF00 0000 – BFFF FFFF	
0184 8300 – 0184 83FC	MAR192 to MAR255	保留	
0184 8400 – 0187 FFFF	–	保留	

2.3存储器映射总结

表格 2-3 显示的是 DM642 存储器映射的地址范围。内部的存储器总是从 0 开始的，其往往可以用于程序存储和数据存储。DM642 外部的存储器地址的范围从对应于 EMIFA 的地址 0x8000 000 开始。

表 2-3. TMS320DM642存储器映射总结

存储器块描述	块大小（字节）	十六进制地址范围
内部 RAM（L2）	256K	0000 0000 – 0003 FFFF
保留	768K	0004 0000 – 000F FFFF
保留	23M	0010 0000 – 017F FFFF
外部存储器接口 A（EMIFA）	256K	0180 0000 – 0183 FFFF

L2 寄存器	256K	0184 0000 – 0187 FFFF
HPI寄存器	256K	0188 0000 – 018B FFFF
McBSP 0 寄存器	256K	018C 0000 – 018F FFFF
McBSP 1寄存器	256K	0190 0000 – 0193 FFFF
Timer 0寄存器	256K	0194 0000 – 0197 FFFF
Timer 1寄存器	256K	0198 0000 – 019B FFFF
中断选择寄存器	256K	019C 0000 – 019F FFFF
EDMA RAM and EDMA 寄存器	256K	01A0 0000 – 01A3 FFFF
保留	512K	01A4 0000 – 01AB FFFF
Timer 1寄存器	256K	01AC 0000 – 01AF FFFF
GP0寄存器	256K – 4K	01B0 0000 – 01B3 EFFF
设备配置寄存器	4K	01B3 F000 – 01B3 FFFF
I2C0数据和控制寄存器	16K	01B4 0000 – 01B4 3FFF
保留	32K	01B4 4000 – 01B4 BFFF
McASP0控制寄存器	16K	01B4 C000 – 01B4 FFFF
保留	192K	01B5 0000 – 01B7 FFFF
保留	256K	01B8 0000 – 01BB FFFF
仿真	256K	01BC 0000 – 01BF FFFF
PCI寄存器	256K	01C0 0000 – 01C3 FFFF
VP0控制	16K	01C4 0000 – 01C4 3FFF
VP1控制	16K	01C4 4000 – 01C4 7FFF
VP2控制	16K	01C4 8000 – 01C4 BFFF
VIC控制	16K	01C4 C000 – 01C4 FFFF
保留	192K	01C5 0000 – 01C7 FFFF
EMAC控制	4K	01C8 0000 – 01C8 0FFF
EMAC Wrapper	8K	01C8 1000 – 01C8 2FFF
EWRAP寄存器	2K	01C8 3000 – 01C8 37FF
MDIO控制寄存器	2K	01C8 3800 – 01C8 3FFF
存储器块描述	**块大小（字节）**	**十六进制地址范围**
保留	3.5M	01C8 4000 – 01FF FFFF
QDMA寄存器	52	0200 0000 – 0200 0033
保留	736M-52	0200 0034 – 2FFF FFFF
McBSP 0 数据	64M	3000 0000 – 33FF FFFF
McBSP 1 数据	64M	3400 0000 – 37FF FFFF
保留	64M	3800 0000 – 3BFF FFFF
McASP 0 数据	1M	3C00 0000 – 3C0F FFFF
保留	64M-1M	3C10 0000 – 3FFF FFFF
保留	832M	4000 0000 – 73FF FFFF
VP0通道A数据	32M	7400 0000 – 75FF FFFF

VP0通道B数据	32M	7600 0000 – 77FF FFFF
VP1通道A数据	32M	7800 0000 – 79FF FFFF
VP1通道B数据	32M	7A00 0000 – 7BFF FFFF
VP2通道A数据	32M	7C00 0000 – 7DFF FFFF
VP2通道B数据	32M	7E00 0000 – 7FFF FFFF
EMIFA CE0	256M	8000 0000 – 8FFF FFFF
EMIFA CE1	256M	9000 0000 – 9FFF FFFF
EMIFA CE2	256M	A000 0000 – AFFF FFFF
EMIFA CE3	256M	B000 0000 – BFFF FFFF
保留	1G	C000 0000 – FFFF FFFF

2.3.1 L2 结构扩展

图 2-2 表示的是 TMS320DM642 的 L2 详细的结构。想获知更多的 L2MODE 位信息，请查看 *TMS320C64x Two-Level Internal Memory Reference Guide* (literature number SPRU610)中关于 CCFG 寄存器位地址描述。

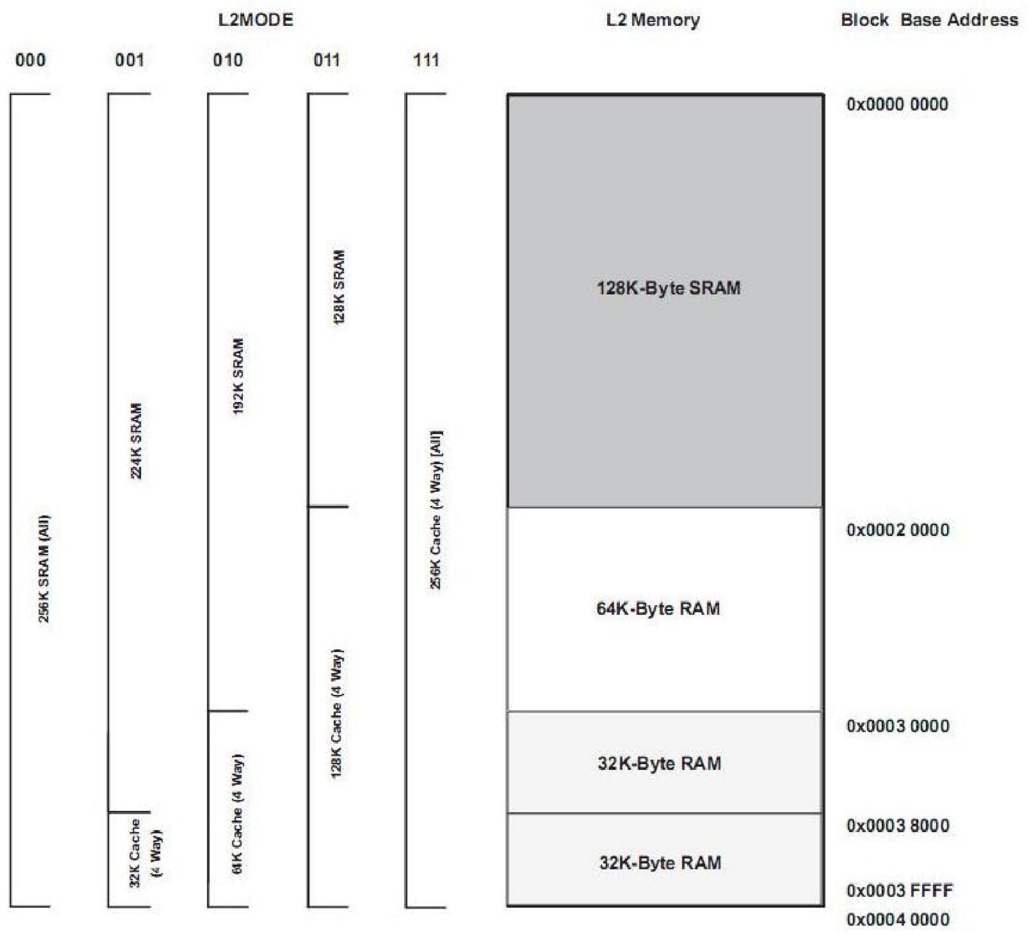


图 2-2 TMS320DM642 L2 结构

2.4引导模式

DM642 利用低电平信号 RESET 进行复位。当 RESET 是低电平的时候，芯片被复位并且被初始化为规定的复位状态。引导模式由以下两个方面决定：复位时序和芯片引脚在复位期间的状态。当 RESET 变成高电平时，处理器开始以芯片规定的配置方式和引导模式运行。

DM642 有三种类型的启动模式：

l 主机引导模式

如果主机引导模式被选择，当 RESET 变成高电平的时候，CPU 在此期间一直处于“停止”的状态。在引导期间，一台外部的主机初始 CPU 的存储空间通过主机接口，包括配置内部的寄存器，比如配置 EMIF 和其他外设的寄存器。对于 DM642 来说，当 PCI_EN＝0 的时候 HPI 做为引导的主机接口；当 PCI_EN＝1 的时候 PCI 做为引导的主机接口。一旦主机完成所有必要的初始化操作之后，必须设置 HPIC 寄存器的 DSPINT 位来完成主机引导过程。这个操作会使 CPU 走出“停止”状态，CPU 开始在地址为 0 的地方开始运行。CPU 没有给位 DSPINT 上锁，因为位 DSPINT 状态改变的时候 CPU 还处于“停止”的状态。需要注意的是，选择了主机引导模式就决定了位 DSPINT 切换 CPU 的状态(从“停止”的状态切换到运行的状态)。所有的存储空间都有可能被主机进行读操作和写操作，这样做的好处是主机可以校验发到 DSP 存储空间的数据(当需要的时候)。当 CPU 完全脱离了“停止”状态之后，CPU 需要清除 DSPINT 位。

l EMIF 引导模式(利用默认的 ROM 时序)

当 RESET 变成高电平的时候，在 CE1 空间开始的 1K 字节的 ROM 代码通过 EDMA 被复制到地址为 0 的地方(用默认的 ROM 时序)，在此期间 CPU 一直处于“停止”状态。数据被存储成系统所用的字节序格式。在这种情况下，EMIF 自动的把要搬移的 32 位指令字转化成连续的 8 位。EMDA 自动地通过单帧块传输把 ROM 的数据搬移到地址 0。完成数据的搬移之后，CPU 从“停止”的状态切换到运行状态(从地址 0 开始运行)。

l 无引导模式

CPU 开始在存储空间地址为 0 的地方直接执行。注意：当地址为 0 的地方代码无效，则操作无效。

2.5 引脚分配

2.5.1 引脚映射

图 2-3 **到图** 2-6 **显示了在四个象限中（**A,B,C,D**）**DM642 **的引脚分配。**

	1	2	3	4	5	6	7	8	9	10	11	12	13
AF	V_{SS}	DV_{DD}	RSV	VP1CTL0	VP1D[0]	VP1D[1]	V_{SS}	VP1CLK0	V_{SS}	VP1CLK1	V_{SS}	VP0CLK1	V_{SS}
AE	DV_{DD}	DV_{DD}	V_{SS}	CLKMODE1	VP1CTL1	VP1D[2]/ CLKX1	VP1D[5]/ CLKS1	V_{SS}	VP1D[10]	V_{SS}	VP1D[15]/ AXR0[3]	V_{SS}	DV_{DD}
AD	VDAC/ GP0[8]/ $\overline{PCI66}$	V_{SS}	RSV	V_{SS}	VP1CTL2	VP1D[3]/ FSX1	VP1D[6]/ DR1	VP1D[8]/ CLKR1	VP1D[11]	VP1D[13]/ AXR0[1]	VP1D[16]/ AXR0[4]	VP0D[18]/ AFSX0	VP0D[15]/ AMUTEIN0
AC	STCLK	CLKIN	V_{SS}	RSV	V_{SS}	VP1D[4]/ DX1	VP1D[7]/ FSR1	VP1D[9]	VP1D[12]/ AXR0[0]	VP1D[14]/ AXR0[2]	VP1D[17]/ AXR0[5]	VP0D[19]/ AHCLKX0	VP0D[16]/ AMUTE0
AB	V_{SS}	V_{SS}	RSV	V_{SS}	DV_{DD}	V_{SS}	DV_{DD}	DV_{DD}	V_{SS}	DV_{DD}	VP1D[18]/ AXR0[6]	VP1D[19]/ AXR0[7]	VP0D[17]/ ACLKX0
AA	HD1/ AD1	CLKMODE0	RSV	V_{SS}	V_{SS}	CV_{DD}	CV_{DD}	V_{SS}	DV_{DD}	V_{SS}	V_{SS}	DV_{DD}	V_{SS}
Y	HD5/ AD5	HD3/ AD3	HD0/ AD0	HD2/ AD2	DV_{DD}	CV_{DD}	CV_{DD}	CV_{DD}	V_{SS}	CV_{DD}	CV_{DD}	V_{SS}	CV_{DD}
W	V_{SS}	HD7/ AD7	HD4/ AD4	HD6/ AD6	DV_{DD}	V_{SS}	RSV						
V	HD10/ AD10	HD8/ AD8	HD9/ AD9	$\overline{PCBE0}$	V_{SS}	PLLV	V_{SS}						
U	HD14/ AD14	HD12/ AD12	HD13/ AD13	HD11/ AD11	DV_{DD}	V_{SS}	CV_{DD}						
T	V_{SS}	$\overline{HDS2}$/ $\overline{PCBE1}$	HD15/ AD15	XSP_CS	V_{SS}	V_{SS}	CV_{DD}						
R	$\overline{HCS}$/ $\overline{PPERR}$	$\overline{HDS1}$/ $\overline{PSERR}$	HCNTL0/ $\overline{PSTOP}$	XSP_DI	XSP_CLK/ MDCLK	RSV	V_{SS}					V_{SS}	CV_{DD}
P	HCNTL1/ $\overline{PDEVSEL}$	V_{SS}	$\overline{HAS}$/ PPAR	$\overline{RESET}$	XSP_DO/ MDIO	V_{SS}	CV_{DD}					CV_{DD}	V_{SS}
	1	2	3	4	5	6	7	8	9	10	11	12	13

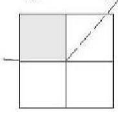


图 2-3 DM642 **引脚映射（**A **象限）**

	14	15	16	17	18	19	20	21	22	23	24	25	26	
	VP0CLK0	V_{SS}	VP0D[3]/ FSX0	VP0D[2]/ CLKX0	VP0D[0]	V_{SS}	AED50	AED54	V_{SS}	AED62	AED63	DV_{DD}	V_{SS}	AF
	V_{SS}	VP0D[8]/ CLKR0	VP0D[4]/ DX0	VP0CTL0	VP0D[1]	V_{SS}	AED52	AED56	AED58	AED61	V_{SS}	DV_{DD}	DV_{DD}	AE
	VP0D[12]/ ACLKR0	VP0D[9]	VP0D[5]/ CLKS0	VP0CTL2	V_{SS}	AED48	AED53	AED57	AED59	AED60	DV_{DD}	AED33	AED32	AD
	VP0D[13]/ AFSR0	VP0D[10]	VP0D[6]/ DR0	VP0CTL1	V_{SS}	AED49	AED51	AED55	V_{SS}	DV_{DD}	V_{SS}	AED34	AED35	AC
	VP0D[14]/ AHCLKR0	VP0D[11]	VP0D[7]/ FSR0	DV_{DD}	V_{SS}	DV_{DD}	DV_{DD}	V_{SS}	DV_{DD}	AED38	AED36	AED37	V_{SS}	AB
	V_{SS}	DV_{DD}	V_{SS}	V_{SS}	DV_{DD}	V_{SS}	CV_{DD}	CV_{DD}	V_{SS}	AED41	AED39	AED40	AED42	AA
	CV_{DD}	V_{SS}	CV_{DD}	CV_{DD}	V_{SS}	CV_{DD}	CV_{DD}	CV_{DD}	DV_{DD}	AED45	AED43	AED44	AED46	Y
							CV_{DD}	V_{SS}	DV_{DD}	AED47	$\overline{AHOLD}$	DV_{DD}	V_{SS}	W
							V_{SS}	DV_{DD}	V_{SS}	AEA18	AEA21	AEA20	AEA19	V
							CV_{DD}	V_{SS}	DV_{DD}	AEA22	AEA17	AEA16	AEA15	U
							CV_{DD}	V_{SS}	$\overline{ABE7}$	$\overline{ABE6}$	AEA14	AEA13	V_{SS}	T
	V_{SS}	CV_{DD}					V_{SS}	DV_{DD}	$\overline{ASOE3}$	AEA12	AEA11	$\overline{ABE5}$	$\overline{ABE4}$	R
	CV_{DD}	V_{SS}					CV_{DD}	V_{SS}	ABUSREQ	AEA10	AEA9	DV_{DD}	AEA8	P
	14	15	16	17	18	19	20	21	22	23	24	25	26	

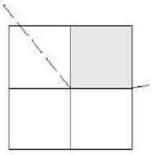
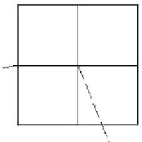
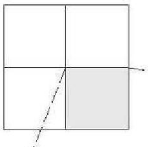


图 2-4 DM642 **引脚映射（**B **象限）**



	1	2	3	4	5	6	7	8	9	10	11	12	13
N	HRDY/ PIRDY	DV_{DD}	HHWIL/ PTRDY	HINT/ PFRAME	V_{SS}	V_{SS}	CV_{DD}					V_{SS}	CV_{DD}
M	HR/W/ PCBE2	HD17/ AD17/ MTXD1	HD16/ AD16/ MTXD0	HD18/ AD18/ MTXD2	GP0[0]	DV_{DD}	V_{SS}					CV_{DD}	V_{SS}
L	V_{SS}	HD19/ AD19/ MTXD3	HD20/ AD20/ MTXEN	HD22/ AD22/ MTCLK	GP0[3]/ PCIEEAI	V_{SS}	CV_{DD}						
K	HD23/ AD23	HD21/ AD21/ MCOL	GP0[9]/ PIDSEL	HD24/ AD24/ MRXD0	DV_{DD}	V_{SS}	CV_{DD}						
J	HD25/ AD25/ MRXD1	GP0[10]/ PCBE3	HD26/ AD26/ MRXD2	HD28/ AD28/ MRXDV	V_{SS}	DV_{DD}	V_{SS}						
H	V_{SS}	HD27/ AD27/ MRXD3	HD30/ AD30/ MCRS	GP0[12]/ PGNT	DV_{DD}	V_{SS}	RSV						
G	HD31/ AD31/ MRCLK	HD29/ AD29/ MRXER	GP0[15]/ PRST	GP0[13]/ PINTA	DV_{DD}	CV_{DD}	CV_{DD}	CV_{DD}	V_{SS}	CV_{DD}	CV_{DD}	V_{SS}	CV_{DD}
F	GP0[11]/ PREQ	GP0[6]/ EXT_INT6	GP0[5]/ EXT_INT5	GP0[4]/ EXT_INT4	V_{SS}	CV_{DD}	CV_{DD}	V_{SS}	DV_{DD}	V_{SS}	V_{SS}	DV_{DD}	V_{SS}
E	GP0[7]/ EXT_INT7	PCI_EN	V_{SS}	SCL0	DV_{DD}	V_{SS}	DV_{DD}	DV_{DD}	V_{SS}	DV_{DD}	VP2D[14]	VP2D[18]	VP2D[19]
D	V_{SS}	V_{SS}	SDA0	DV_{DD}	V_{SS}	CLKOUT4/ GP0[1]	VP2CTL1	VP2D[1]	VP2D[5]	VP2D[9]	VP2D[13]	VP2D[17]	V_{SS}
C	GP0[14]/ PCLK	V_{SS}	DV_{DD}	V_{SS}	TOUT0/ MAC_EN	CLKOUT6/ GP0[2]	VP2CTL2	VP2D[0]	VP2D[4]	VP2D[8]	VP2D[12]	VP2D[16]	V_{SS}
B	DV_{DD}	DV_{DD}	V_{SS}	NMI	TOUT1/ LENDIAN	V_{SS}	V_{SS}	VP2CTL0	VP2D[3]	VP2D[7]	VP2D[11]	VP2D[15]	V_{SS}
A	V_{SS}	DV_{DD}	V_{SS}	TINP0	TINP1	V_{SS}	VP2CLK0	V_{SS}	VP2D[2]	VP2D[6]	VP2D[10]	V_{SS}	VP2CLK1
	1	2	3	4	5	6	7	8	9	10	11	12	13

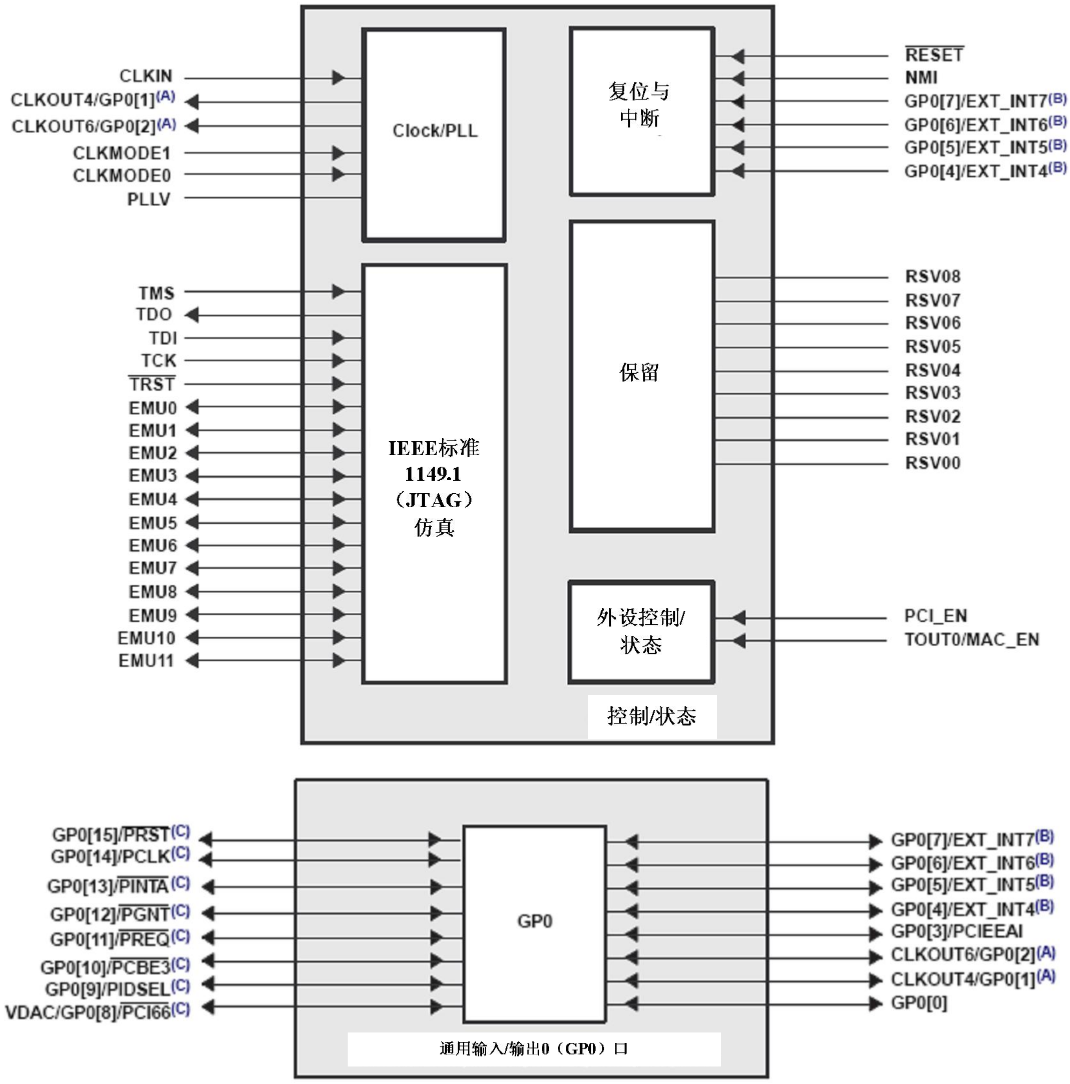
图 2-5 DM642 引脚映射（C 象限）



14	15	16	17	18	19	20	21	22	23	24	25	26	
V_{SS}	CV_{DD}					CV_{DD}	V_{SS}	$\overline{AHOLDA}$	AEA7	AEA6	V_{SS}	AEA5	N
CV_{DD}	V_{SS}					V_{SS}	DV_{DD}	$\overline{APDT}$	AEA4	AEA3	$\overline{ABE3}$	$\overline{ABE2}$	M
						CV_{DD}	V_{SS}	AARDY	$\overline{ABE1}$	$\overline{ABE0}$	ASDCKE	$\overline{ACE3}$	L
						CV_{DD}	V_{SS}	DV_{DD}	$\overline{ACE2}$	$\overline{ACE1}$	$\overline{ACE0}$	$\overline{AAWE}$/ $\overline{ASDWE}$/ $\overline{ASWE}$	K
						V_{SS}	DV_{DD}	V_{SS}	AECLKOUT2	$\overline{AAOE}$/ $\overline{ASDRAS}$/ $\overline{ASOE}$	$\overline{AARE}$/ $\overline{ASDCAS}$/ $\overline{ASADS}$/ $\overline{ASRE}$	AECLKOUT1	J
						CV_{DD}	V_{SS}	DV_{DD}	AED17	AED16	AECLKIN	V_{SS}	H
CV_{DD}	V_{SS}	CV_{DD}	CV_{DD}	V_{SS}	CV_{DD}	CV_{DD}	CV_{DD}	DV_{DD}	AED19	AED21	AED20	AED18	G
V_{SS}	DV_{DD}	V_{SS}	V_{SS}	DV_{DD}	V_{SS}	CV_{DD}	CV_{DD}	V_{SS}	AED23	AED25	AED24	AED22	F
RSV	TMS	V_{SS}	DV_{DD}	V_{SS}	DV_{DD}	DV_{DD}	V_{SS}	DV_{DD}	V_{SS}	AED27	AED26	V_{SS}	E
$\overline{TRST}$	EMU4	EMU8	EMU11	V_{SS}	AED14	AED12	AED8	V_{SS}	DV_{DD}	V_{SS}	AED28	AED29	D
EMU1	EMU3	EMU6	EMU10	V_{SS}	AED15	AED10	AED6	AED4	V_{SS}	DV_{DD}	AED30	AED31	C
DV_{DD}	EMU2	EMU5	EMU9	TDO	V_{SS}	AED11	AED7	AED3	AED2	AED0	DV_{DD}	DV_{DD}	B
V_{SS}	EMU0	TCK	EMU7	TDI	V_{SS}	AED13	AED9	V_{SS}	AED5	AED1	DV_{DD}	V_{SS}	A
14	15	16	17	18	19	20	21	22	23	24	25	26	

图 2-6 DM642 引脚映射（D 象限）

2.5.2 信号群描述



A. 这些引脚是 GP0 的复用引脚，在默认状态下这些信号作为时钟信号（CLKOUT4 或 CLKOUT6）。为了使用这些 GPIO 信号的复用功能，相应的 GPIO 寄存器位（GpxEN 和 GPxDIR)必须使能。更多详细信息可以参考本数据手册的器件配置这部分。

B. 这些 GP0 引脚也可以作为外部中断源（EXT_INT[7:4]）。默认状态下复位后是 EXT_INTx 或者作为只能输入的 GPIO。

C. 这些 GP0 引脚与 PCI 外设复用，默认状态下这些信号被设置为没有功能，即 GPIO 和 PCI 引脚功能都禁用。关于更多这些引脚的复用功能可以参考本数据手册的器件配置这部分。

图 2-7 CPU 和外设信号

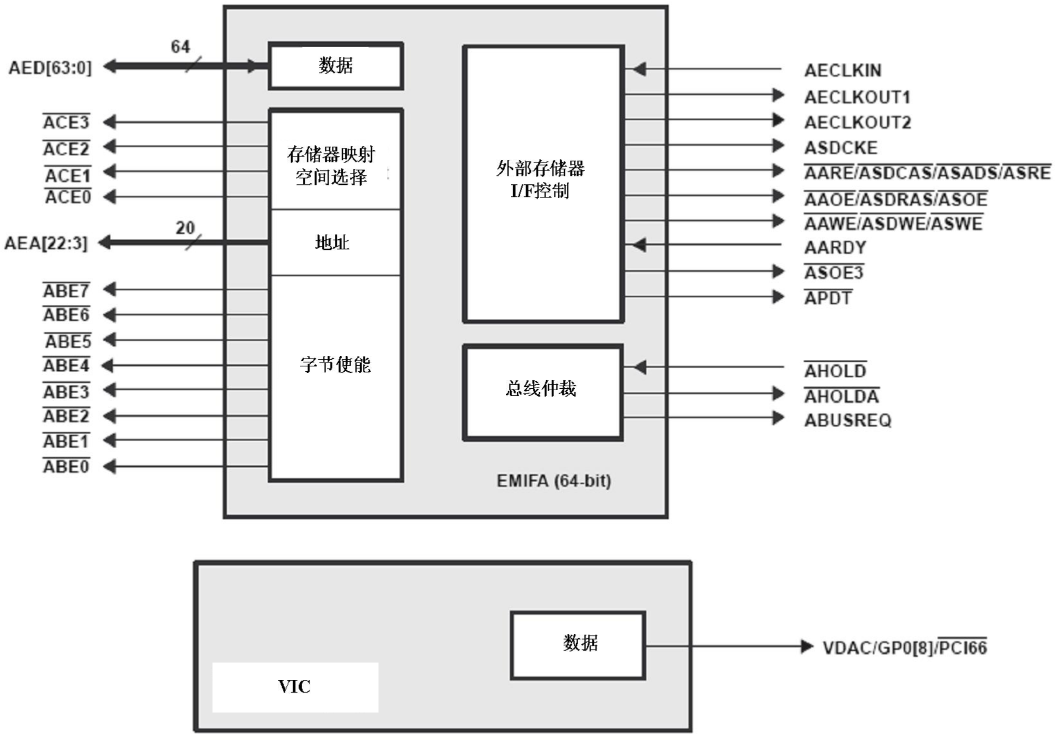
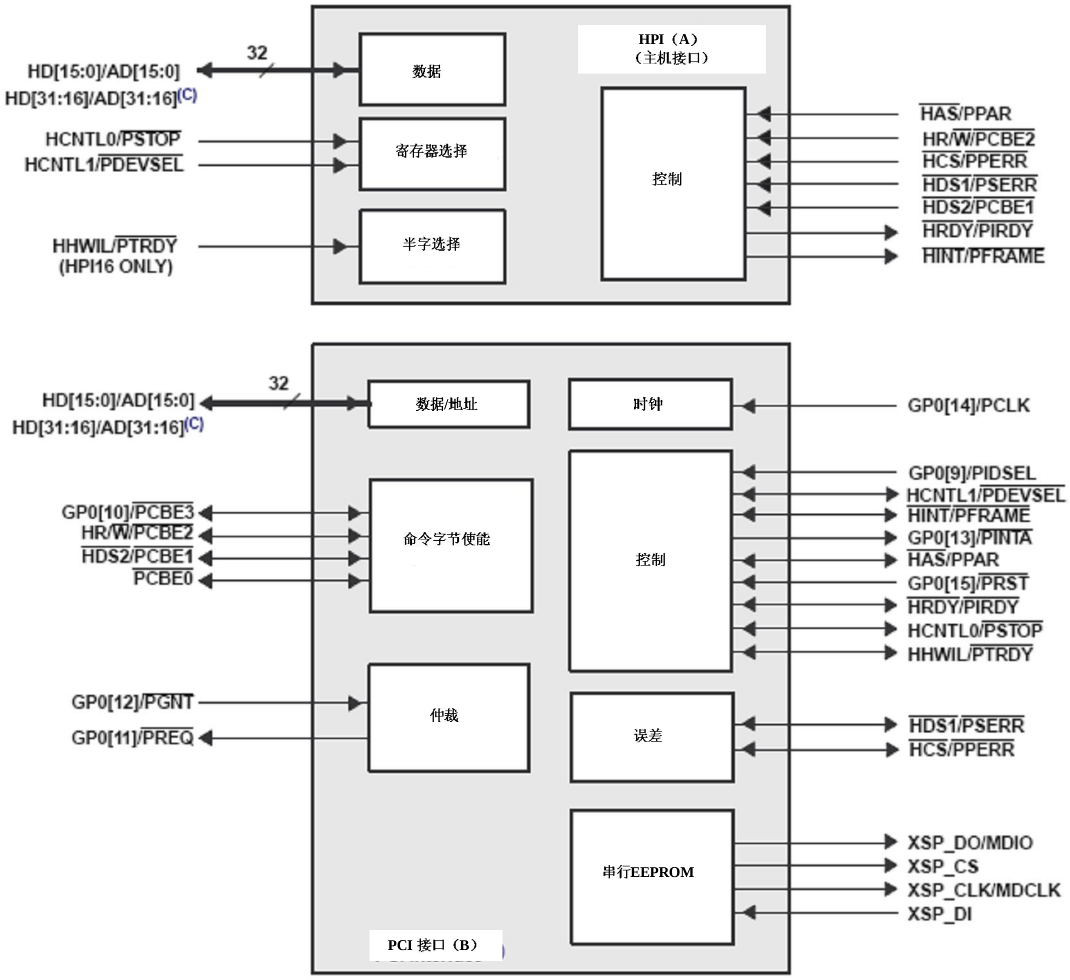


图 2-8 EMIFA/VIC外设信号

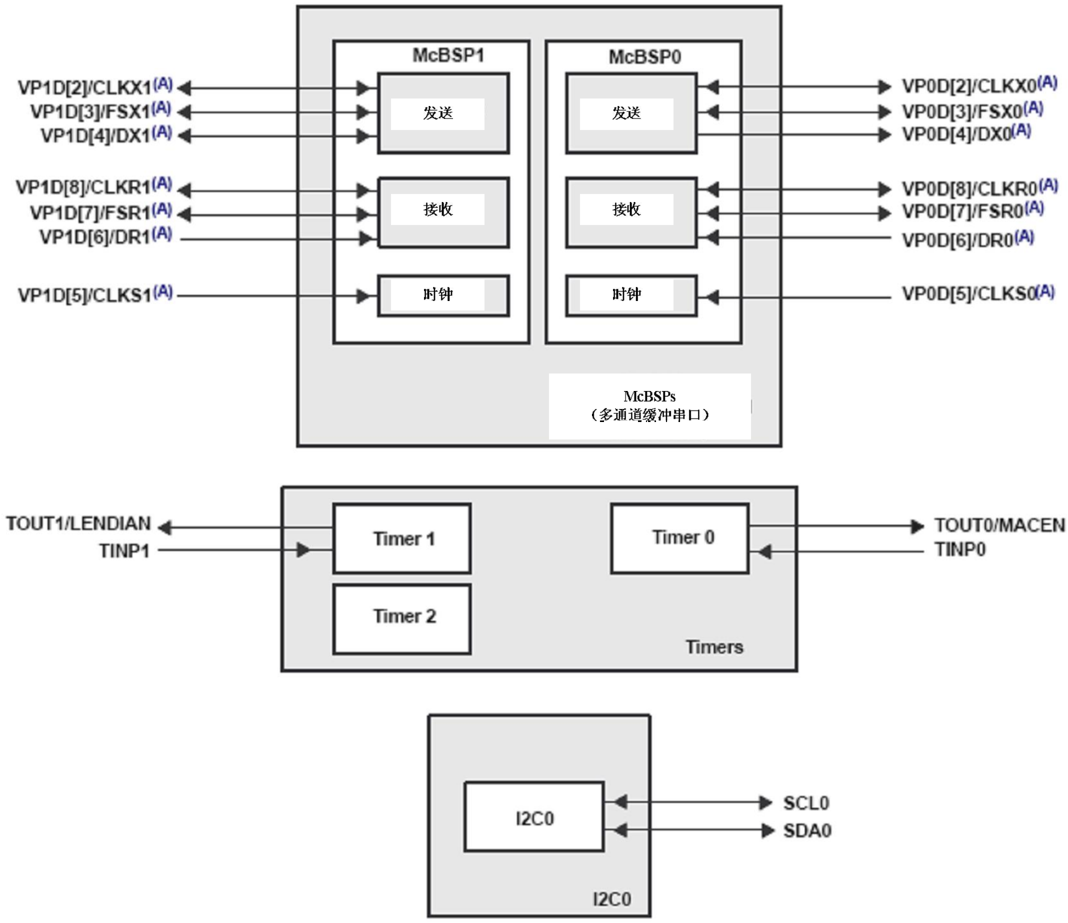


A. HPI 引脚与 PCI 外设相复用。默认状态下这些信号作为 HPI 功能。关于更多这些引脚的复用功能可以参考本数据手册的器件配置这部分。

B. PCI 引脚（包括 $\overline{\text{PCBE0}}$ 和 XSP_CS）与 HPI 或 MDIO 或 GP0 外设相复用。默认状态下，这些信号分别作为 HPI 和没有功能。关于更多这些引脚的复用功能可以参考本数据手册的器件配置这部分。

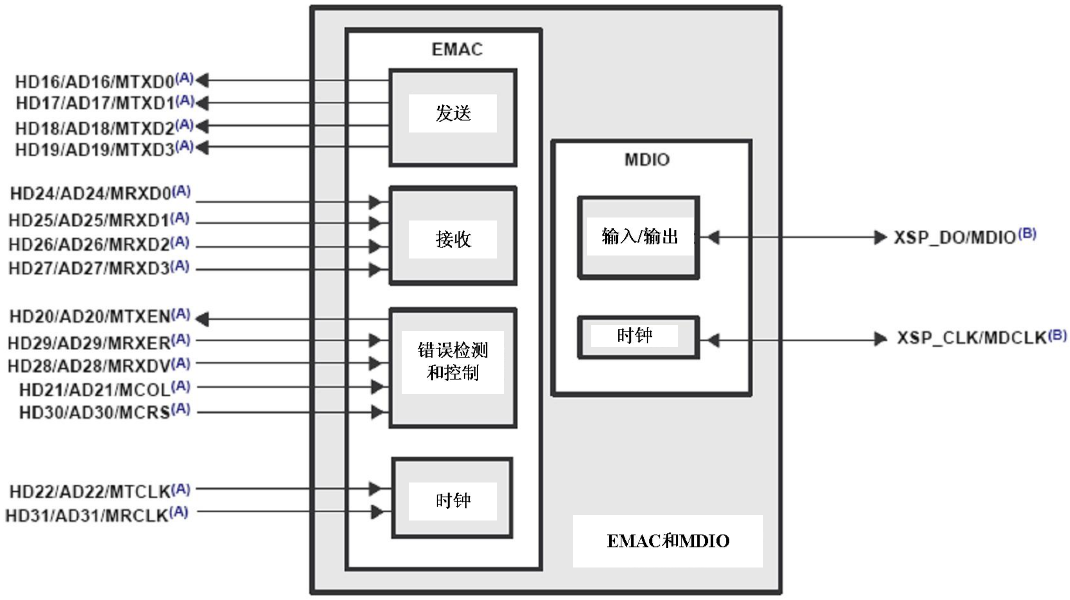
C. HPI/PCI 数据引脚（HD[31:16/AD[31:16]）与 EMAC 外设复用。默认状态下，这些引脚作为 HPI 功能。关于更多 EMAC 引脚功能的详细资料可以参考本数据手册的 EMAC 外设信号选择和终端功能表这部分。

图 2-9 HPI/PCI 外设信号



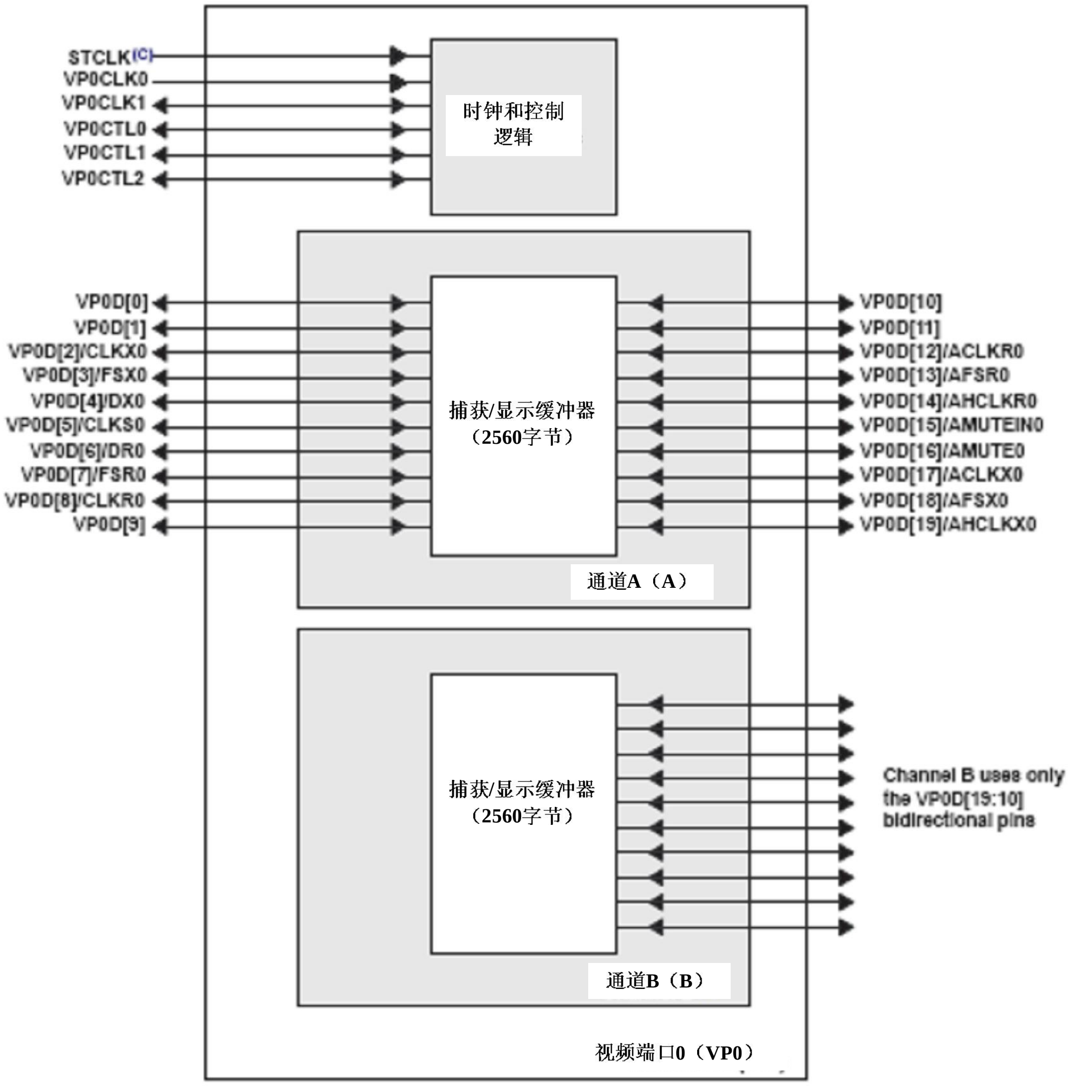
A. McBSP1 和 McBSP0 引脚分别与视频端口 1（VP1）和视频端口 0（VP0）复用。默认状态下，这些信号作为 VP1 和 VP0 功能。关于更多这些引脚的复用功能可以参考本数据手册的器件配置这部分。

图 2-10 McBSP/Timer/I2C0 外设信号



A. EMAC 引脚与 HPI 或 PCI 的高位数据引脚复用。默认状态下，这些信号作为 HPI 功能。关于更多这些引脚的复用功能可以参考本数据手册的器件配置这部分。

图 2-11 EMAC/MDIO 外设信号

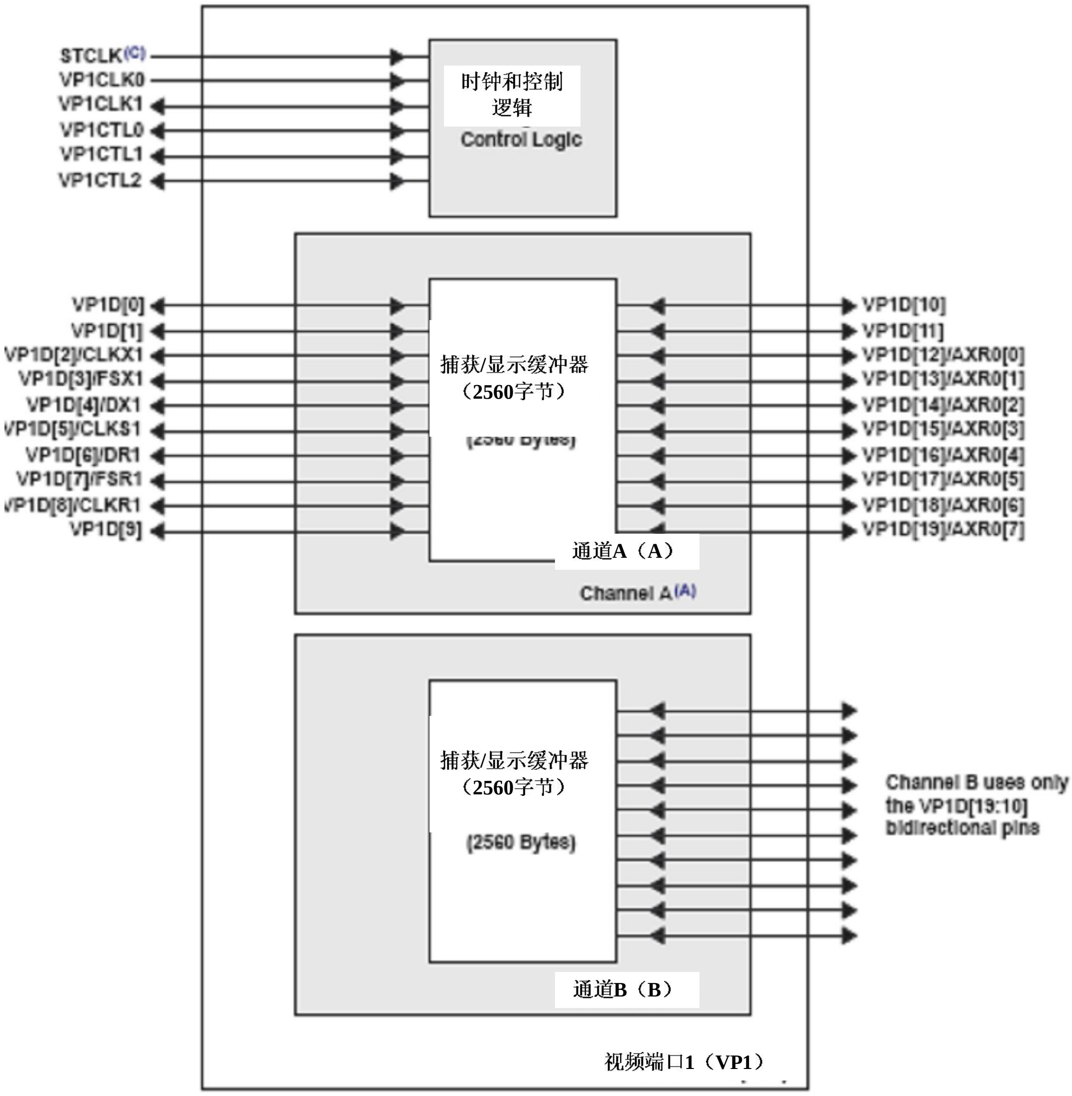


A. **通道** A **支持：**BT.656(8/10 **位**)，Y/C **视频（**16/20 **位），**RAW **视频（**16/20 **位）显示模式和** BT.656(8/10 **位**)，Y/C **视频（**16/20 **位），**RAW **视频（**16/20 **位）和** TSI（8 **位）捕获模式。**

B. **通道** B **支持：**BT.656(8/10 **位**)，，RAW **视频（**16/20 **位）捕获模式，能和通道** A **显示同步** RAM **视频数据。**

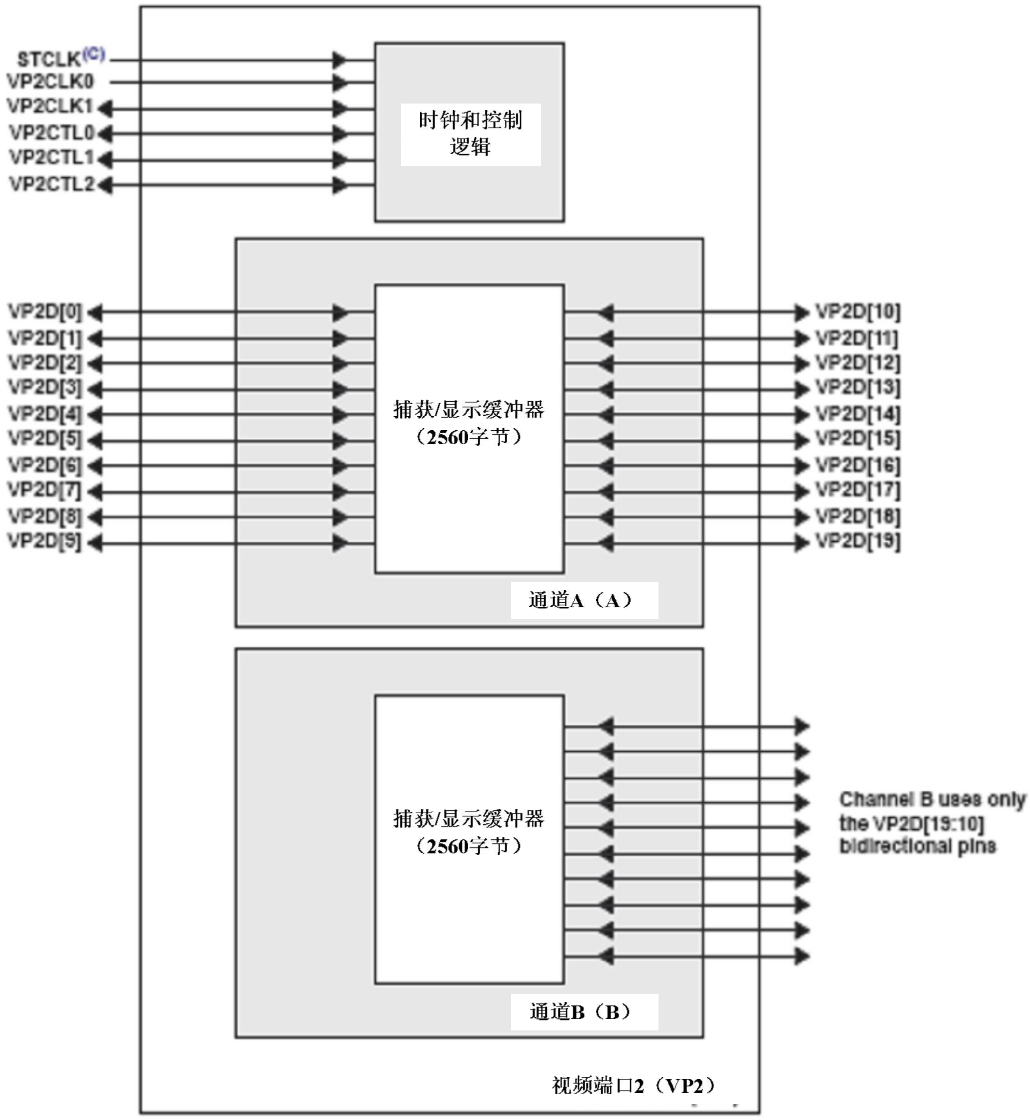
C. **同一个** STCLK **信号可以用于所有三个视频端口（**VP0，VP1 **和** VP2**）。**

图 2-12 **视频端口** 0 **外设信号**



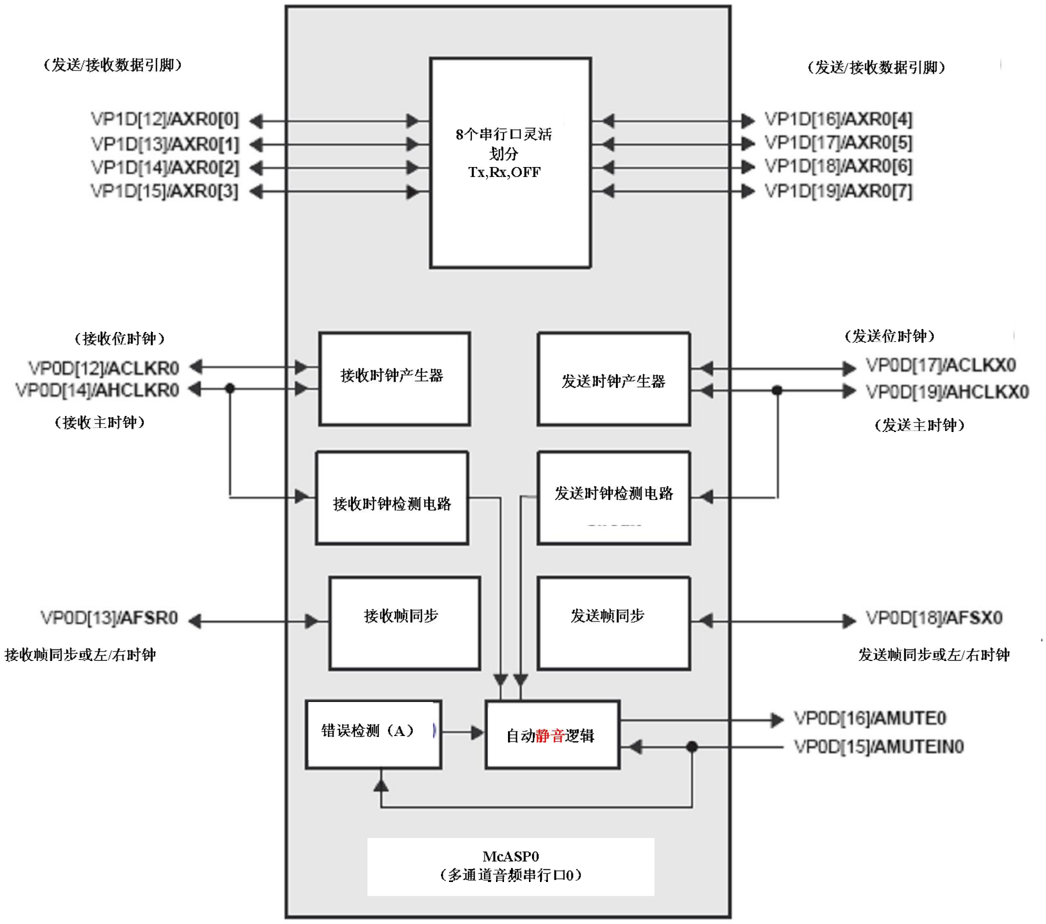
A. 通道 A 支持：BT.656(8/10 位)，Y/C 视频（16/20 位），RAW 视频（16/20 位）显示模式和 BT.656(8/10 位)，Y/C 视频（16/20 位），RAW 视频（16/20 位）和 TSI（8 位）捕获模式。
B. 通道 B 支持：BT.656(8/10 位),，RAW 视频（16/20 位）捕获模式，能和通道 A 显示同步 RAM 视频数据。
C. 同一个 STCLK 信号可以用于所有三个视频端口（VP0，VP1 和 VP2）。

图 2-13 视频端口 1 外设信号



A. **通道** A **支持：**BT.656(8/10 **位**)，Y/C **视频**（16/20 **位**），RAW **视频**（16/20 **位**）**显示模式和** BT.656(8/10 **位**)，Y/C **视频**（16/20 **位**），RAW **视频**（16/20 **位**）**和** TSI（8 **位**）**捕获模式。**
B. **通道** B **支持：**BT.656(8/10 **位**),，RAW **视频**（16/20 **位**）**捕获模式，能和通道** A **显示同步** RAM **视频数据。**
C. **同一个** STCLK **信号可以用于所有三个视频端口**（VP0，VP1 **和** VP2）**。**

图 2-14 **视频端口** 2 **外设信号**



注释：关于复用引脚，粗体表示对于特殊外设模式能起作用的引脚。在圆括号内的粗体和斜体表示音频系统功能的引脚。

A. McASP **错误检测功能可以检测跑飞，溢出，早/晚帧同步，**DMA **错误和外部静音输入。**

图 2-15 McASP0 **外设信号**

2.5.3 引脚功能

表2-4**的引脚功能表，列出了外部信号，信号所对应的（球形阵列）封装引脚标号、引脚类型**(**输入、输出**/**高阻或者输入**/**输出**/**高阻**)**，是否具有内部上拉**/**下拉电阻，以及引脚功能描述。**
关于器件配置，外设选择，引脚复用以及调试细则的具体内容，请查阅本芯片手册的器件配置部分。

表 2-4. 引脚功能

信号名称	标号.	类 型(1)	IPD/ IPU(2)	描 述
				CLOCK/PLL 配 置
CLKIN	AC2	I		时钟输入信号，此时钟是片上PLL的输入
CLKOUT4/GP0[1](3)	D6	I/O/Z	IPU	器件四分频时钟输出(输出/高阻)[默认](**O/Z**) [默认] 也可配置为通用输入输出引脚1 (**I/O/Z**).
CLKOUT6/GP0[2](3)	C6	I/O/Z	IPU	器件六分频时钟输出。 (**O/Z**) [默认]也可配置为GP02引脚(**I/O/Z**).
CLKMODE1	AE4	I	IPD	时钟模式选择 •选择CPU时钟频率为输入时钟的1倍，6倍或者12倍 关于CLOCKMODE引脚以及PLL倍数的的详细内容请查看手册的时钟锁相环部分
CLKMODE0	AA2	I	IPD	
PLLV(4)	V6	A(1)		PLL电源
				JTAG 仿 真
TMS	E15	I	IPU	JTAG测试端口模式选择
TDO	B18	O/Z	IPU	JTAG测试端口数据输出
TDI	A18	I	IPU	JTAG测试端口数据输入
TCK	A16	I	IPU	JTAG 测试端口时钟信号
TRST	D14	I	IPD	JTAG 测试端口复位信号。为了兼容IEEE 1149.1 JTAG标准，请参考本文档的JATG兼容性部分。
EMU11	D17	I/O/Z	IPU	仿真引脚11. 保留使用，不接
EMU10	C17	I/O/Z	IPU	仿真引脚10. 保留使用，不接
EMU9	B17	I/O/Z	IPU	仿真引脚9. 保留使用，不接
EMU8	D16	I/O/Z	IPU	仿真引脚8. 保留使用，不接
EMU7	A17	I/O/Z	IPU	仿真引脚7. 保留使用，不接
EMU6	C16	I/O/Z	IPU	仿真引脚6. 保留使用，不接
EMU5	B16	I/O/Z	IPU	仿真引脚5. 保留使用，不接
EMU4	D15	I/O/Z	IPU	仿真引脚4. 保留使用，不接
EMU3	C15	I/O/Z	IPU	仿真引脚3. 保留使用，不接
EMU2	B15	I/O/Z	IPU	仿真引脚2. 保留使用，不接
EMU1	C14	I/O/Z	IPU	仿真引脚1 (5)
EMU0	A15	I/O/Z	IPU	仿真引脚0 (5)
				RESETS, INTERRUPTS, AND GENERAL-PURPOSE 输入/输出S
RESET	P4	I		器件复位信号
NMI	B4	I	IPD	非屏蔽中断信号,边沿驱动（上升沿） **注:** NMI引脚的任何噪声都可能触发此中断;因此,如果未使用NMI引脚，建议将该引脚通过内部上下拉电阻接地
GP0[7]/EXT_INT7	E1	I/O/Z	IPU	通用输入输出引脚 (**I/O/Z**) 或者外部中断(**输入**)..上电复位后默认为只写状态。 •当这些引脚作为外部中断使用时 [通过选择相应的中断使能寄存器位(IER.[7:4])]，他们处于边沿驱动模式，极性可以通过设置外部中断极性寄存器位来设置(EXTPOL.[3:0]).
GP0[6]/EXT_INT6	F2	I/O/Z	IPU	
GP0[5]/EXT_INT5	F3	I/O/Z	IPU	
GP0[4]/EXT_INT4	F4	I/O/Z	IPU	

(1) I = 输入, O = 输出, Z = 高阻, S = 电源, GND = 地, A = 模拟信号
(2) IPD =内部下拉, IPU =内部上拉. (这些 IPD/IPU 信号引脚内部有30-kΩ的上下拉电阻. 如果想把信号配置到相反的电平，需要使用1K的电阻.)
(3) 该引脚属于复用引脚.具体内容，请查阅本芯片手册的器件配置部分.
(4) PLLV不属于外部电源. 关于该引脚的连接请查阅时钟锁相部分
(5) EMU0和EMU1引脚内部使用30K电阻上拉;所以，在仿真以及常规操作时,不需要外部上下拉电阻. 但是，在边界扫描操作时, EMU0和EMU1引脚需要用1K电阻下拉。

表 2-4. 引脚功能(续)

信号名称	标号	类型(1)	IPD/ IPU(2)	DESCRIPTION
GP0[15]/P RST(3)	G3	I/O/Z		**通用输入输出** (GP0) 15 pin (**I/O/Z**) or PCI **重置** (**I**). GP0 14 pin (**I/O/Z**) or PCI **时钟** (**I**) GP0 13 **引脚** (**I/O/Z**) or PCI **中断** A (**O/Z**) GP0 12**引脚**(**I/O/Z**) or PCI **总线 许可** (**I**) GP0 11**引脚**(**I/O/Z**) or PCI **总线 请求** (**O/Z**) GP0 10**引脚**(**I/O/Z**) or PCI **命令/字节有效** 3 (**I/O/Z**) GP0 9**引脚**(**I/O/Z**) or PCI**初始化驱动选择** (**I**) **Note: 复位后，默认为不配置任何功能**. **如需定义引脚**, **请查阅本芯片手册的器件配置部分**.
GP0[14]/PCLK(3)	C1	I/O/Z		
GP0[13]/PINTA(3)	G4	I/O/Z		
GP0[12]/P GNT(3)	H4	I/O/Z		
GP0[11]/PREQ(3)	F1	I/O/Z		
GP0[10]/P CBE3(3)	J2	I/O/Z		
GP0[9]/PIDSEL(3)	K3	I/O/Z		
GP0[3]	L5	I/O/Z	IPD	GP0 3 **引脚** (**I/O/Z**) **导入配置**: PCI **电可擦除只读存储器 自动初始化** (EEAI). 0 - PCI **通过电可擦除只读存储器自动初始化是不可行的** (**缺省**). 1 - PCI **通过电可擦除只读存储器自动初始化是可行的**.
GP0[0]	M5	I/O/Z	IPD	**多种用途的** 0 **引脚** (GP0[0]) (**I/O/Z**) [**缺省**] **这个引脚可以通过编程设置为**GPIO 0 (**只可输入**) [**缺省**] **或是** GP0[0] (**只可输出**) **引脚，或是作为一个多功能中断**(GP0INT)**信号输出** (**只可输出**). **注:这个引脚在设计时必须保持低电平 。**
VDAC/GP0[8]/PCI66(3)	AD1	I/O/Z	IPD	VCXO Interpolated Control Port (VIC) **单比特数字/模拟转换** (VDAC) **输出** [**只可输出**] [**缺省**] **或者这个引脚可以作为**GP0 8**进行编程引脚** (**I/O/Z**) **导入配置**: PCI**频率选择** (PCI66). **如果**PCI**外围设备被激活** 0 - PCI.**以**66 MHz**运行（缺省）** 1 - PCI**以**33 MHz**运行**. **这个** –500 **的驱动只支持**33 MHz**的** PCI.**当这个**PCI**的外围设备可用时**(PCI_EN = 1)，**由于固定的**-500**设备运行，在设备重置时，这个有个**1-kΩ**电阻器的引脚必须是停止工作的** **注**: **如果**PCI**外围设备是不可用的** (PCI_EN pin = 0),**这个引脚必须是运行的**.
CLKOUT6/GP0[2](3)	C6	I/O/Z	IPU	**为设备速率**(**O/Z**)【**缺省**】1/6**的同步脉冲输出 或是作为**GP0 2**引脚进行编程**(**I/O/Z**).
CLKOUT4/GP0[1](3)	D6	I/O/Z	IPU	**为设备速率**(**O/Z**)【**缺省**】1/4**的同步脉冲输出 或是作为**GP0 1**引脚进行编程**(**I/O/Z**).
主机口 (HPI) or PERIPHERAL COMPONENT INTERCONNECT (PCI) or EMAC				
PCI_EN	E2	I	IPD	**引导配置**: PCI **可用引脚** (**I**) PCI_EN **引脚和** MAC_EN **引脚控制着** HPI, EMAC, MDIO, **和**GP0[15:8], **或是** PCI **外围设备的选择**. **这些引脚的工作关系是否运行这这些外围设备**(**详细信息参考一览表的设备结构部分**).
H INT/PFRAME(3)	N4	I/O/Z		**从**DSP**到主机**(**O**) [**缺省**]**或是到**PCI**结构的主机中断**(**I/O/Z**)
HCNTL1/P DEVSEL(3)	P1	I/O/Z		**主机支配 – 在控制，地址，数据寄存器**(**I**) [**缺省**] **或是**PCI**外围设备中选择**(**I/O/Z**)
HCNTL0/P STOP(3)	R3	I/O/Z		**主机支配 – 在控制，地址，数据寄存器**(**I**) [**缺省**] **或是**PCI**阻塞中选择**(**I/O/Z**)
HHWIL/P TRDY(3)	N3	I/O/Z		**主机支配-命令选择 – 第一或第二半个命令**(**无所谓前后顺序**) **只是为了选择**HPI16 **总线的宽度** (**I**) [**缺省**] **或是** PCI**现有对象** (**I/O/Z**)
HR/W /PCBE2(3)	M1	I/O/Z		**主机读或写选择**(**I**) [**缺省**] **或是** PCI **命令/字节 授权** 2 (**I/O/Z**)
HAS/PPAR(3)	P3	I/O/Z		**主机地址开关** (**I**) [**缺省**] **或** PCI **奇偶** (**I/O/Z**) **主机芯片选择** (**I**) [**缺省**] **或** PCI **奇偶检验误差** (**I/O/Z**) **主机数据开关** 1 (**I**) [**缺省**] **或** PCI **系统错误** (**I/O/Z**) **主机数据开关** 2 (**I**) [**缺省**] **或** PCI **命令/字节授权**1 (**I/O/Z**) **注:如果不使用,后面的**HPI**控制信号将被提高**
H CS/PPERR(3)	R1	I/O/Z		
HDS1/PSERR(3)	R2	I/O/Z		
H DS2/PCBE1(3)	T2	I/O/Z		
H RDY/PIRDY(3)	N1	I/O/Z		**从**DSP**到主机**(**O**) [**缺省**]**或是**PCI**初始待位**(**I/O/Z**).**的主机待位**

表 2-4. 引脚功能(续)

信号 名称	NO.	类型 (1)	IPD/ IPU (2)	DESCRIPTION
HD31/AD31/MRCLK (3)	G1	I/O/Z		**主机口数据引脚 (I/O/Z) [默认]或 PCI 地址-数据总线 (I/O/Z) 或网络接口收/发及控制引脚** **作为主机口数据引脚**(PCI_EN pin = 0) • **用来传送地址数据以及控制信号** • **在复位时，用户可通过对**HD5**引脚上/下拉电阻设置主机口总线的宽度** **作为** PCI**数据-地址总线** (PCI_EN pin = 1) • **用来传送数据以及地址信号** **引导配置:** • HD5**引脚** = 0: **主机口工作在** HPI16**位模式**. (**主机口总线宽度为**16**位**. HD[15:0]**引脚是被使用的， 剩下的** HD[31:16]**引脚是在高阻抗的情况下被保留的引脚**.) • HD5 **引脚** = 1: HPI **作为一个** HPI32.**运行** (HPI**总线宽度为**32**位**. **所有的** HD[31:0]**都是用来进行主机端口运行的**.) **对于像** DM642**的扩展装备,通过**HD16/AD16**引脚的**HD31/AD31**可以作为**EMAC**传送/接收或是作为控制引脚进行工作**(**当** PCI_EN **引脚值为** 0**时** MAC_EN**的引脚值为** 1).**关于**EMAC**引脚函数的介绍，请上以太网查找** **关于这个板块**MAC (EMAC)**的周边函数及更多详细信息 请查阅本芯片手册的器件配置部分**.
HD30/AD30/MCRS (3)	H3			
HD29/AD29/MRXER (3)	G2			
HD28/AD28/MRXDV (3)	J4			
HD27/AD27/MRXD3 (3)	H2			
HD26/AD26/MRXD2 (3)	J3			
HD25/AD25/MRXD1 (3)	J1			
HD24/AD24/MRXD0 (3)	K4			
HD23/AD23 (3)	K1			
HD22/AD22/MTCLK (3)	L4			
HD21/AD21/MCOL (3)	K2			
HD20/AD20/MTXEN (3)	L3			
HD19/AD19/MTXD3 (3)	L2			
HD18/AD18/MTXD2 (3)	M4			
HD17/AD17/MTXD1 (3)	M2			
HD16/AD16/MTXD0 (3)	M3			
HD15/AD15 (3)	T3			
HD14/AD14 (3)	U1			
HD13/AD13 (3)	U3			
HD12/AD12 (3)	U2			
HD11/AD11 (3)	U4			
HD10/AD10 (3)	V1			
HD9/AD9 (3)	V3			
HD8/AD8 (3)	V2			
HD7/AD7 (3)	W2			
HD6/AD6 (3)	W4			
HD5/AD5 (3)	Y1			
HD4/AD4 (3)	W3			
HD3/AD3 (3)	Y2			
HD2/AD2 (3)	Y4			
HD1/AD1 (3)	AA1			
HD0/AD0 (3)	Y3			
PCBE0	V4	I/O/Z		PCI **命令/字节 授权** 0 (**I/O/Z**). **当** PCI **没有工作时**(PCI_EN = 0), **这个引脚将被封闭**.
XSP_CS	T4	O	IPD	PCI **串行接口芯片选择** (**O**). **当** PCI **未工作时**(PCI_EN = 0),**这个引脚将被封闭**.
XSP_CLK/MDCLK (3)	R5	I/O/Z	IPD	PCI **串行接口时钟** (**O**) [**缺省**] **或** MDIO **连续时钟输入/输出** (**I/O/Z**).
XSP_DI	R4	I	IPU	PCI **在** (**I**) [**缺省**]**的串行接口数据** **在**PCI**模式中,这个引脚连接着 连续**PROM**的输出数据引脚**.
XSP_DO/MDIO (3)	P5	I/O/Z	IPU	PCI **串行接口数据输出** (**O**) [**缺省**] **或** MDIO **连续数据输入/输出**(**I/O/Z**).**在** PCI **模式中,这个引脚与连续**PROM**输入引脚相关联**

表 2-4. 引脚功能(续)

信号 名称	标号	类型 (1)	IPD/ IPU (2)	DESCRIPTION
GP0[15]/P RST (3)	G3	I/O/Z		多种用途的输入/输出(GP0) 15引脚 (I/O/Z)或 PCI重置(I). GP0 14引脚 (I/O/Z) 或 PCI 时钟 (I) GP0 13引脚(I/O/Z) 或 PCI 中断 A (O/Z) GP0 12引脚(I/O/Z) 或PCI总线许可 (I) GP0 11引脚(I/O/Z) 或PCI 总线请求 (O/Z) GP0 10引脚(I/O/Z) 或PCI命令/字节 有效 3 (I/O/Z) GP0 9引脚(I/O/Z) 或PCI 初始化驱动选择 (I) 注: 系统默认,在重置前没有函数将被运行 要配置这些引脚，请参考一览表的驱动结构部分.
GP0[14]/PCLK (3)	C1			
GP0[13]/PINTA (3)	G4			
GP0[12]/P GNT (3)	H4			
GP0[11]/PREQ (3)	F1			
GP0[10]/P CBE3 (3)	J2			
GP0[9]/PIDSEL (3)	K3			
GP0[3]	L5	I/O/Z	IPD	GP0 3引脚 (I/O/Z) 导入配置: PCI EEPROM Auto-Initialization (EEAI). 0 - PCI通过EEPROM自动初始化为不可用 （disabled ）(缺省). 1 - PCI通过EEPROM自动初始化为可用
VDAC/GP0[8]/PCI66 (3)	AD1	I/O/Z	IPD	内插控制端口(VIC) 单字节数字/模拟转换 (VDAC) 输出 [只输出] [缺省]或这个引脚可作为GP0 8引脚 (I/O/Z)运行 导入配置: PCI 频率选择 (PCI66). 如果 PCI外围设备被激活 (PCI_EN pin = 1): 0 – PCI以 66 MHz运行 (缺省). 1 - PCI 以 33 MHz运行. 这个 –500 驱动只支持PCI以33MHz运行。当PCI外围设备被激活时 (PCI_EN = 1) 由于固定的–500驱动运行,在设备重置时这个有个1-kΩ电阻器的引脚必须是停止工作的 注: 如果PCI外围设备是不可用的 (PCI_EN pin = 0),这个引脚必须是运行的.
EMIFA (64-bit) – CONTROL 信号S COMMON TO ALL 类型S OF MEMORY				
ACE3	L26	O/Z	IPU	EMIFA存储空间使能信号 • 根据字地址的高四位使能 • 在外部数据访问过程中，只有一个引脚有效。
ACE2	K23	O/Z	IPU	
ACE1	K24	O/Z	IPU	
ACE0	K25	O/Z	IPU	
ABE7	T22	O/Z	IPU	EMIFA 字节使能控制 •低电平触发地址位的解码。地址位或字节的运行个数取决于外存储器的宽度 • 字节书写适用于绝大部分的存储类别 • 可以直接连接SDRAM 的读写信号(SDQM)
ABE6	T23	O/Z	IPU	
ABE5	R25	O/Z	IPU	
ABE4	R26	O/Z	IPU	
ABE3	M25	O/Z	IPU	
ABE2	M26	O/Z	IPU	
ABE1	L23	O/Z	IPU	
ABE0	L24	O/Z	IPU	
APDT	M22	O/Z	IPU	EMIFA外部设备数据传送允许将外部数据直接移植到外部设备
EMIFA (64-bit) – BUS ARBITRATION				
AHOLDA	N22	O	IPU	EMIFA到主机的保持-请求-应答信号
AHOLD	W24	I	IPU	EMIFA 到主机的保持-请求信号
ABUSREQ	P22	O	IPU	EMIFA 总线请求输出

表 2-4. 引脚功能(续)

信号 名称	NO.	类型 [1]	IPD/ IPU [2]	DESCRIPTION
EMIFA (64-bit) –异步/同步存储控制				
AECLKIN	H25	I	IPD	EMIFA 外部输入时钟。 EMIFA 输入时钟 (AECLKIN, CPU/4 时钟, 或 CPU/6 时钟)选择是通过打开或关闭AEA[20:19]引脚的电阻器实现的. AECLKIN是 EMIFA 输入时钟的缺省值.
AECLKOUT2	J23	O/Z	IPD	EMIFA 输出时钟 2。 可设计为 EMIFA输入时钟 (AECLKIN, CPU/4时钟, or CPU/6 时钟)频率除以-1, -2, 或 -4.
AECLKOUT1	J26	O/Z	IPD	EMIFA 输出时钟 1 [为EMIFA 输入时钟 (AECLKIN, CPU/4 clock, or CPU/6 clock)频率].
AARE/ ASDCAS/ ASADS/ASRE	J25	O/Z	IPU	EMIFA 异步存储可读/SDRAM 列地址开关/可编程同步界面地址开关或可读 • 对于可编程同步界面,在CE空间二级控制寄存器【CE Space Secondary Control Register (CExSEC)】上的RENEN领域是在 ASADS 和 ASRE:中选择的 如果 RENEN = 0, ASADS/ASRE的信号函数作为ASADS信号进行传输 如果 RENEN = 1, ASADS/ASRE 的信号函数作为 ASRE 信号进行传输
AAOE/ ASDRAS/ ASOE	J24	O/Z	IPU	EMIFA可输出异步寄存器/SDRAM 行址开关/可编程同步可输出界面
AAWE/ ASDWE/ ASWE	K26	O/Z	IPU	EMIFA 可写异步存储器/SDRAM可写/可编程异步可写界面
ASDCKE	L25	O/Z	IPU	EMIFA SDRAM 输出时钟(用于自我刷新模式). • 如果SDRAM 不在系统内, ASDCKE 可作为多功能输出使用。
ASOE3	R22	O/Z	IPU	ACE3 的EMIFA可输出同步存储器 (用于非粘合FIFO 界面)
AARDY	L22	I	IPU	异步存储器准备输入
EMIFA (64位) – 地址				
AEA22	U23	O/Z	IPD	EMIFA 外部地址 (双字节地址) DM642驱动的EMIFA地址编号方式以 AEA3 开始并 保持信号名称与其他 C64x™驱动的兼容性 (例, C6414, C6415, 和 C6416) [参考TMS320C6000 DSP 外部存储器接口 (EMIF)说明文档的 64位 EMIF寻址方案(文献编号为SPRU266)]. **加载模式配置:** • 通过打开/关闭电阻器控制DSP模式重置时的初始化值 – 导入模式(AEA[22:21]): 00 –没有导入 (缺省模式) 01 - HPI/PCI导入 (基于 PCI_EN 引脚) 10 – 保存 11 - EMIFA 导入 – EMIF 时钟选择 (AEA[20:19]): EMIFA (AECLKIN_SEL[1:0])的时钟模式选择 00 - AECLKIN (缺省模式) 01 - CPU/4 时钟速率 10 - CPU/6 时钟速率 11 – 保存 参考一览表中的驱动结构部分以获得详细资料。
AEA21	V24			
EA20	V25			
AEA19	V26			
AEA18	V23			
AEA17	U24			
AEA16	U25			
AEA15	U26			
AEA14	T24			
AEA13	T25			
AEA12	R23			
AEA11	R24			
AEA10	P23			
AEA9	P24			
AEA8	P26			
AEA7	N23			
AEA6	N24			
AEA5	N26			
AEA4	M23			
AEA3	M24			

表 2-4. 引脚功能(续)

信号 名称	信号 标号	类型 [1]	IPD/ IPU [2]	描述
EMIFA (64位) – 数据				
AED63	AF24	I/O/Z	IPU	EMIFA 外部数据
AED62	AF23			
AED61	AE23			
AED60	AD23			
AED59	AD22			
AED58	AE22			
AED57	AD21			
AED56	AE21			
AED55	AC21			
AED54	AF21			
AED53	AD20			
AED52	AE20			
AED51	AC20			
AED50	AF20			
AED49	AC19			
AED48	AD19			
AED47	W23			
AED46	Y26			
AED45	Y23			
AED44	Y25			
AED43	Y24			
AED42	AA26			
AED41	AA23			
AED40	AA25			
AED39	AA24			
AED38	AB23			
AED37	AB25			
AED36	AB24			
AED35	AC26			
AED34	AC25			
AED33	AD25			
AED32	AD26			
AED31	C26			
AED30	C25			
AED29	D26			
AED28	D25			
AED27	E24			
AED26	E25			
AED25	F24			
AED24	F25			
AED23	F23			
AED22	F26			
AED21	G24			
AED20	G25			

表 2-4. 引脚功能(续)

信号 名称	NO.	类型 (1)	IPD/ IPU (2)	描述
AED19	G23	I/O/Z	IPU	EMIFA 外部数据
AED18	G26			
AED17	H23			
AED16	H24			
AED15	C19			
AED14	D19			
AED13	A20			
AED12	D20			
AED11	B20			
AED10	C20			
AED9	A21			
AED8	D21			
AED7	B21			
AED6	C21			
AED5	A23			
AED4	C22			
AED3	B22			
AED2	B23			
AED1	A24			
AED0	B24			
管理数据输入/输出 (MDIO)				
XSP_CLK/MDCLK(3)	R5	I/O/Z	IPD	PCI串行接口时钟 (**O**) [默认] or MDIO串行时钟输入/输出 (**I/O/Z**).
XSP_DO/MDIO(3)	P5	I/O/Z	IPU	PCI 串行接口数据输出 (**O**) [默认] or MDIO 串行数据输入/输出 (**I/O/Z**).在PCI模式下，该引脚连接到串行PROM的数据输入引脚
内插控制端口(VIC)				
VDAC/GP0[8]/PCI66(3)	AD1	I/O/Z	IPD	**内插控制端口**(VIC) 一位数模转换输出(VDAC) [**只输出**] [默认] 也可设置为GP0 8引脚(**I/O/Z**) **加载配置**: PCI频率选择 (PCI66). 如果PCI端口势能 (PCI_EN pin = 1),那么 0 – PCI工作在66 MHz (默认). 1 – PCI工作在33 MHz. The –500系列器件只支持PCI工作在33 MHz. 500系列器件如果想要在使能PCI后正常工作(PCI_EN = 1)，该引脚必须用1K电阻拉高. **注**:如果未使用PCI端口 (PCI_EN引脚 = 0)，该引脚不能被拉高.
视频端口 (VP0, VP1, AND VP2)				
STCLK	AC1	I	IPD	STCLK信号驱动视频端口的硬件计数器。.

表 2-4. 引脚功能(续)

信号 名称	信号 标号	类型 (1)	IPD/ IPU (2)	描述
				视频端口 2 (VP2)
VP2D[19]	E13	I/O/Z	IPD	视频端口 2 (VP2)数据输入/输出 (**I/O/Z**) **Note: 默认状态下,复位后无功能定义.如需定义这些引脚，请查看本手册的器件配置部分.**
VP2D[18]	E12			
VP2D[17]	D12			
VP2D[16]	C12			
VP2D[15]	B12			
VP2D[14]	E11			
VP2D[13]	D11			
VP2D[12]	C11			
VP2D[11]	B11			
VP2D[10]	A11			
VP2D[9]	D10			
VP2D[8]	C10			
VP2D[7]	B10			
VP2D[6]	A10			
VP2D[5]	D9			
VP2D[4]	C9			
VP2D[3]	B9			
VP2D[2]	A9			
VP2D[1]	D8			
VP2D[0]	C8			
VP2CLK1	A13	I/O/Z	IPD	视频口2时钟引脚1 (**I/O/Z**)
VP2CLK0	A7	I	IPD	视频口2时钟引脚0 (**I**)
VP2CTL2	C7	I/O/Z	IPD	视频口2控制引脚2 (**I/O/Z**)
VP2CTL1	D7			视频口2控制引脚1 (**I/O/Z**)
VP2CTL0	B8			视频口2控制引脚0 (**I/O/Z**)

表 2-4. 引脚功能(续)

<table>
<tr><th colspan="2">信号</th><th rowspan="2">类型(1)</th><th rowspan="2">IPD/
IPU(2)</th><th rowspan="2">描述</th></tr>
<tr><th>名称</th><th>NO.</th></tr>
<tr><td colspan="5">视频端口 1 (VP1) OR McASP0 数据 OR McBSP1</td></tr>
<tr><td>VP1D[19]/AXR0[7](3)</td><td>AB12</td><td rowspan="20">I/O/Z</td><td rowspan="20">IPD</td><td rowspan="20">视频端口1 (VP1) 数据 输入/输出 (I/O/Z) or McASP0 数据引脚 (I/O/Z) [默认] and视频端口1 (VP1) 数据输入/输出 (I/O/Z) or McBSP1 数据输入/输出 (I/O/Z) [默认]

默认条件下，复位后的独立视频端口1数据输入/输出引脚没有功能定义. 如需配置这些引脚，请查阅本文档的器件配置部分

关于McBSP1以及McASP0 数据引脚功能的更多内容,
请查看此表格的McBSP1或 McASP0数据部分，以及本芯片手册的器件配置部分.</td></tr>
<tr><td>VP1D[18]/AXR0[6](3)</td><td>AB11</td></tr>
<tr><td>VP1D[17]/AXR0[5](3)</td><td>AC11</td></tr>
<tr><td>VP1D[16]/AXR0[4](3)</td><td>AD11</td></tr>
<tr><td>VP1D[15]/AXR0[3](3)</td><td>AE11</td></tr>
<tr><td>VP1D[14]/AXR0[2](3)</td><td>AC10</td></tr>
<tr><td>VP1D[13]/AXR0[1](3)</td><td>AD10</td></tr>
<tr><td>VP1D[12]/AXR0[0](3)</td><td>AC9</td></tr>
<tr><td>VP1D[11]</td><td>AD9</td></tr>
<tr><td>VP1D[10]</td><td>AE9</td></tr>
<tr><td>VP1D[9]</td><td>AC8</td></tr>
<tr><td>VP1D[8]/CLKR1(3)</td><td>AD8</td></tr>
<tr><td>VP1D[7]/FSR1(3)</td><td>AC7</td></tr>
<tr><td>VP1D[6]/DR1(3)</td><td>AD7</td></tr>
<tr><td>VP1D[5]/CLKS1(3)</td><td>AE7</td></tr>
<tr><td>VP1D[4]/DX1(3)</td><td>AC6</td></tr>
<tr><td>VP1D[3]/FSX1(3)</td><td>AD6</td></tr>
<tr><td>VP1D[2]/CLKX1(3)</td><td>AE6</td></tr>
<tr><td>VP1D[1]</td><td>AF6</td></tr>
<tr><td>VP1D[0]</td><td>AF5</td></tr>
<tr><td>VP1CLK1</td><td>AF10</td><td>I/O/Z</td><td>IPD</td><td>VP1时钟引脚1 (I/O/Z)</td></tr>
<tr><td>VP1CLK0</td><td>AF8</td><td>I</td><td>IPD</td><td>VP1时钟引脚0 (I)</td></tr>
<tr><td>VP1CTL2</td><td>AD5</td><td rowspan="3">I/O/Z</td><td rowspan="3">IPD</td><td>VP1控制引脚2 (I/O/Z)</td></tr>
<tr><td>VP1CTL1</td><td>AE5</td><td>VP1控制引脚1 (I/O/Z)</td></tr>
<tr><td>VP1CTL0</td><td>AF4</td><td>VP1控制引脚0 (I/O/Z)</td></tr>
</table>

表 2-4. 引脚功能(续)

信号 名称	信号 标号	类型 (1)	IPD/IPU (2)	描述
视频端口 0 (VP0) OR McASP0 控制 OR McBSP0				
VP0D[19]/AHCLKX0(3)	AC12	I/O/Z	IPD	视频端口 0 (VP0) 数据输入/输出 (**I/O/Z**) or McASP0 控制引脚 (**I/O/Z**) [默认] **and** 视频端口 0 (VP0) 数据 input/输出 (**I/O/Z**) or McBSP0 数据输入/输出 (**I/O/Z**) [默认] 默认条件下，复位后独立VP0口的数据输入/输出引脚没有任何功能使能.如需定义这些引脚，请查阅本手册的器件配置部分t. 关于McBSP0引脚以及McASP0控制引脚的功能更多内容，请查阅本芯片手册的McBSP0 or McASP0控制部分以及器件配置部分。
VP0D[18]/AFSX0(3)	AD12			
VP0D[17]/ACLKX0(3)	AB13			
VP0D[16]/AMUTE0(3)	AC13			
VP0D[15]/ AMUTEIN0(3)	AD13			
VP0D[14]/AHCLKR0(3)	AB14			
VP0D[13]/AFSR0(3)	AC14			
VP0D[12]/ACLKR0(3)	AD14			
VP0D[11]	AB15			
VP0D[10]	AC15			
VP0D[9]	AD15			
VP0D[8]/CLKR0(3)	AE15			
VP0D[7]/FSR0(3)	AB16			
VP0D[6]/DR0(3)	AC16			
VP0D[5]/CLKS0(3)	AD16			
VP0D[4]/DX0(3)	AE16			
VP0D[3]/FSX0(3)	AF16			
VP0D[2]/CLKX0(3)	AF17			
VP0D[1]	AE18			
VP0D[0]	AF18			
VP0CLK1	AF12	I/O/Z	IPD	VP0 时钟 1 (**I/O/Z**)
VP0CLK0	AF14	I	IPD	VP0 时钟 0 (**I**)
VP0CTL2	AD17	I/O/Z	IPD	VP0 控制 2 (**I/O/Z**)
VP0CTL1	AC17			VP0 控制 1 (**I/O/Z**)
VP0CTL0	AE17			VP0控制 0 (**I/O/Z**)
定时器 2				
	–			没有外部引脚. 定时器2的外围引脚没有引出作为外部引脚
定时器 1				
TOUT1	B5	O/Z	IPU	定时器1 输出 (**O/Z**) **加载配置:器件大小端模式** [LENDIAN] (**I**) 通过上下拉电阻控制DSP复位后的初始化模式 • 器件大小端模式 0 – 大端 1 – 小端 (默认) 关于大小端模式的更多内容，请查阅本手册的器件配置部分。
TINP1	A5	I	IPD	定时器 1 或者通用输入输出引脚
定时器 0				
TOUT0	C5	O/Z	IPD	定时器0输出 (**O/Z**) **加载配置:** MAC 使能引脚[**MAC_EN**] (**I**) PCI_EN和MAC_EN引脚控制(通过使能/禁能)HPI, EMAC, MDIO, and GP0[15:9], or PCI外设端口的选择.引脚的工作控制着这些端口的使能和紧能。. 更多内容，请查阅本手册的器件配置部分.
TINP0	A4	I	IPD	定时器 0 或者通用输入输出引脚

表 2-4. 引脚功能(续)

信号 名称	信号 NO.	类型 (1)	IPD/ IPU (2)	描述
INTER-INTEGRATED CIRCUIT 0 (I2C0)				
SCL0	E4	I/O/Z	—	I2C0 **时钟**
SDA0	D3	I/O/Z	—	I2C0**数据**.
MULTICHANNEL BUFFERED SERIAL PORT 1 (McBSP1)				
VP1D[8]/CLKR1(3)	AD8	I/O/Z	IPD	**视频端口** 1 (VP1) **输入/输出数据** 8**引脚** (**I/O/Z**) or McBSP1**接收时钟** (**I/O/Z**) [**默认**]
VP1D[7]/FSR1(3)	AC7	I/O/Z	IPD	VP1 **输入/输出数据**7**引脚** (**I/O/Z**) or McBSP1**接收帧同步** (**I/O/Z**) [**默认**]
VP1D[6]/DR1(3)	AD7	I	IPD	VP1 **输入/输出数据**6**引脚** (**I/O/Z**) or McBSP1 receive**数据** (**I**) [**默认**]
VP1D[5]/CLKS1(3)	AE7	I	IPD	VP1 **输入/输出数据**5**引脚** (**I/O/Z**) or McBSP1 **外部时钟源** (**I**) (as opposed to internal) [**默认**]
VP1D[4]/DX1(3)	AC6	I/O/Z	IPD	VP1 **输入/输出数据**4**引脚** (**I/O/Z**) or McBSP1**发送数据** (**O/Z**) [**默认**]
VP1D[3]/FSX1(3)	AD6	I/O/Z	IPD	VP1 **输入/输出数据**3**引脚** (**I/O/Z**) or McBSP1**发送侦同步** (**I/O/Z**) [**默认**]
VP1D[2]/CLKX1(3)	AE6	I/O/Z	IPD	VP1 **输入/输出数据**2**引脚** (**I/O/Z**) or McBSP1**发送时钟** (**I/O/Z**) [**默认**]
MULTICHANNEL BUFFERED SERIAL PORT 0 (McBSP0)				
VP0D[8]/CLKR0(3)	AE15	I/O/Z	IPD	**视频端口** 0 (VP0) **输入/输出数据** 8**引脚** (**I/O/Z**) or McBSP0**接收时钟** (**I/O/Z**) [**默认**]
VP0D[7]/FSR0(3)	AB16	I/O/Z	IPD	VP0 **输入/输出数据** 7**引脚** (**I/O/Z**) or McBSP0**接收帧同步**(**I/O/Z**) [**默认**]
VP0D[6]/DR0(3)	AC16	I	IPD	VP0 **输入/输出数据** 6**引脚** (**I/O/Z**) or McBSP0 **接收数据** (**I**) [**默认**]
VP0D[5]/CLKS0(3)	AD16	I	IPD	VP0 **输入/输出数据** 5**引脚** (**I/O/Z**) or McBSP0 **外部时钟源** (**I**) (as opposed to internal) [**默认**]
VP0D[4]/DX0(3)	AE16	O/Z	IPD	VP0 **输入/输出数据** 4**引脚** (**I/O/Z**) or McBSP0**发送数据** (**O/Z**) [**默认**]
VP0D[3]/FSX0(3)	AF16	I/O/Z	IPD	VP0 **输入/输出数据** 3**引脚** (**I/O/Z**) or McBSP0**发送帧同步**(**I/O/Z**) [**默认**]
VP0D[2]/CLKX0(3)	AF17	I/O/Z	IPD	VP0 **输入/输出数据** 2**引脚** (**I/O/Z**) or McBSP0**发送时钟** (**I/O/Z**) [**默认**]

表 2-4. 引脚功能(续)

<table>
<tr><th colspan="2">信号</th><th rowspan="2">类型 (1)</th><th rowspan="2">IPD/
IPU (2)</th><th rowspan="2">DESCRIPTION</th></tr>
<tr><th>名称</th><th>标号</th></tr>
<tr><td colspan="5">ETHERNET MAC (EMAC)</td></tr>
<tr><td>HD31/AD31/MRCLK(3)</td><td>G1</td><td>I</td><td rowspan="15"></td><td rowspan="15">主机端口数据（I /O / z ）[默认]或EMAC传送/接收或控制引脚（I）（O/z） HPI引脚功能是默认的，见芯片手册的设备配置节。EMAC传媒的独立I /O（MII）数据，时钟，控制引脚来传送/接收
• MII 传输时钟 (MTCLK),
传输时钟源来自所属的 PHY
• MII传输数据(MTXD[3:0]),
传输数据信号应与传输时钟信号(MTCLK).同步
• MII传输使能 (MTXEN),
该一信号能使一个有效数据传输到传输数据(MTDX[3:0])引脚
• MII 碰撞感知信号 (MCOL)
该信号感知传输的信号在半双工状态下是否发生网络碰撞，在全双工状态下若引脚处发生碰撞，新的帧的传输将不会执行
• MII 接受感知信号 (MCRS)
该信号感知帧是否正在被接受
• MII 接受数据 (MRXD[3:0]),
接收数据信号应与接收时钟信号(MRCLK).同步
• MII 接受时钟 (MRCLK),
接受时钟来自所属的 PHY
• MII 接受数据有效 (MRXDV),
该信号感知一个有效数据是否传送到接收数据(MRDX[3:0])引脚
• MII 接受错误感知信号 (MRXER),
该信号感知接受到的数据编码是否符合接收数据的编码</td></tr>
<tr><td>HD30/AD30/MCRS(3)</td><td>H3</td><td>I</td></tr>
<tr><td>HD29/AD29/MRXER(3)</td><td>G2</td><td>I</td></tr>
<tr><td>HD28/AD28/MRXDV(3)</td><td>J4</td><td>I</td></tr>
<tr><td>HD27/AD27/MRXD3(3)</td><td>H2</td><td>I</td></tr>
<tr><td>HD26/AD26/MRXD2(3)</td><td>J3</td><td>I</td></tr>
<tr><td>HD25/AD25/MRXD1(3)</td><td>J1</td><td>I</td></tr>
<tr><td>HD24/AD24/MRXD0(3)</td><td>K4</td><td>I</td></tr>
<tr><td>HD22/AD22/MTCLK(3)</td><td>L4</td><td>I</td></tr>
<tr><td>HD21/AD21/MCOL(3)</td><td>K2</td><td>I</td></tr>
<tr><td>HD20/AD20/MTXEN(3)</td><td>L3</td><td>O/Z</td></tr>
<tr><td>HD19/AD19/MTXD3(3)</td><td>L2</td><td>O/Z</td></tr>
<tr><td>HD18/AD18/MTXD2(3)</td><td>M4</td><td>O/Z</td></tr>
<tr><td>HD17/AD17/MTXD1(3)</td><td>M2</td><td>O/Z</td></tr>
<tr><td>HD16/AD16/MTXD0(3)</td><td>M3</td><td>O/Z</td></tr>
</table>

信号 名称	NO.	类型(1)	IPD/ IPU(2)	DESCRIPTION
MULTICHANNEL AUDIO SERIAL PORT 0 (McASP0) CONTROL				
VP0D[19]/AHCLKX0(3)	AC12	I/O/Z	IPD	VP0 **输入输出** 19**引脚** (**I/O/Z**) or McASP0**传输高频率的主时钟**(I/O/Z).
VP0D[18]/AFSX0(3)	AD12	I/O/Z	IPD	VP0 **输入输出数据** 18 **引脚** (**I/O/Z**) or McASP0 **传输帧同步或左右时钟** (LRCLK) (I/O/Z).
VP0D[17]/ACLKX0(3)	AB13	I/O/Z	IPD	VP0 **输入输出数据** 17**引脚** (**I/O/Z**) or McASP0 **传输字节时钟** (I/O/Z).
VP0D[16]/AMUTE0(3)	AC13	O/Z	IPD	VP0 **输入输出数据** 16 **引脚** (**I/O/Z**) or McASP0 **静音输出** (O/Z).
VP0D[15]/ AMUTEIN0(3)	AD13	I/O/Z	IPD	VP0 **输入输出数据** 15 **引脚** (**I/O/Z**) or McASP0 **静音输出** (I/O/Z).
VP0D[14]/AHCLKR0(3)	AB14	I/O/Z	IPD	VP0 **输入输出数据** 14 **引脚** (**I/O/Z**) or McASP0 **接受高频率的主时钟** (I/O/Z).
VP0D[13]/AFSR0(3)	AC14	I/O/Z	IPD	VP0 **输入输出数据** 13 **引脚** (**I/O/Z**) or McASP0 **接受帧同步或左右时钟** (LRCLK) (I/O/Z).
VP0D[12]/ACLKR0(3)	AD14	I/O/Z	IPD	VP0 **输入输出数据** 12**引脚** (**I/O/Z**) or McASP0 **接受字节时钟** (I/O/Z).
MULTICHANNEL AUDIO SERIAL PORT 0 (McASP0) DATA				
VP1D[19]/AXR0[7](3)	AB12	I/O/Z	IPD	VP1 **输入输出数据引脚** [19:12] (**I/O/Z**) or McASP0**发射/接受数据引脚** [7:0] (**I/O/Z**) [**默认**].
VP1D[18]/AXR0[6](3)	AB11			
VP1D[17]/AXR0[5](3)	AC11			
VP1D[16]/AXR0[4](3)	AD11			
VP1D[15]/AXR0[3](3)	AE11			
VP1D[14]/AXR0[2](3)	AC10			
VP1D[13]/AXR0[1](3)	AD10			
VP1D[12]/AXR0[0](3)	AC9			
RESERVED FOR TEST				
RSV07	H7	A	—	**保留**. **为了设备正常工作这个引脚必须直接连接** CV_{DD}
RSV08	R6	A	—	**保留**. **为了设备正常工作这个引脚必须直接连接** DV_{DD}
RSV05	E14	I	IPD	**保留** (**不接电源和地 若信号从设备输出,内部** pull-up/down **电阻将不使用而使用外部** pull-up/down **电阻**
RSV06	W7	A	—	
RSV00	AA3	A	—	
RSV01	AB3	I	—	
RSV02	AC4	O/Z	—	
RSV03	AD3	O/Z	—	
RSV04	AF3	O	IPU	

表 2-4. 引脚功能(续)

信号 名称	NO.	类型[(1)]	IPD/ IPU[(2)]	描述
电源引脚				
DV_{DD}	A2, A25, B1, B2, B14, B25, B26, C3, C24, D4, D23, E5, E7, E8, E10, E17, E19, E20, E22, F9, F12, F15, F18, G5, G22, H5, H22, J6, J21, K5, K22, M6, M21, N2, P25, R21, U5, U22, V21, W5, W22, W25, Y5, Y22	S		3.3-V 供电 (请查阅本手册的电源退耦部分)

表 2-4. 引脚功能(续)

信号 名称	信号 NO.	类型[(1)]	IPD/ IPU[(2)]	描述
DV_{DD}	AA9 AA12 AA15 AA18 AB5 AB7 AB8 AB10 AB17 AB19 AB20 AB22 AC23 AD24 AE1 AE2 AE13 AE25 AE26 AF2 AF25	S		3.3-V 供电 (请查阅本手册的电源退藕部分)

表 2-4. 引脚功能(续)

信号 名称	信号 标号	类型[1]	IPD/ IPU[2]	描述
CV_{DD}	F6 F7 F20 F21 G6 G7 G8 G10 G11 G13 G14 G16 G17 G19 G20 G21 H20 K7 K20 L7 L20 M12 M14 N7 N13 N15 N20 P7 P12 P14 P20 R13 R15 T7 T20 U7 U20 W20 Y6 Y7 Y8 Y10 Y11 Y13 Y14	S		1.2-V供电 (-500 系列器件) 1.4 V 供电 (A-500, A-600, -600, -720系列器件) (请查阅本手册的电源退藕部分)

表 2-4. 引脚功能(续)

信号 名称	NO.	类型 (1)	IPD/ IPU (2)	描述
CV_{DD}	Y16	S		1.2-V供电 (-500 系列器件) 1.4 V 供电 (A-500, A-600, -600, -720系列器件) (请查阅本手册的电源退耦部分)
	Y17			
	Y19			
	Y20			
	Y21			
	AA6			
	AA7			
	AA20			
	AA21			
地 引 脚				
V_{SS}	A1	GND		地引脚
	A3			
	A6			
	A8			
	A12			
	A14			
	A19			
	A22			
	A26			
	B3			
	B6			
	B7			
	B13			
	B19			
	C2			
	C4			
	C13			
	C18			
	C23			
	D1			
	D2			
	D5			
	D13			
	D18			
	D22			
	D24			
	E3			
	E6			
	E9			
	E16			
	E18			
	E21			
	E23			
	E26			
	F5			

表 2-4. 引脚功能(续)

信号 名称	信号 标号	类型 (1)	IPD/ IPU (2)	描述
V_{SS}	F8	GND		地引脚
	F10			
	F11			
	F13			
	F14			
	F16			
	F17			
	F19			
	F22			
	G9			
	G12			
	G15			
	G18			
	H1			
	H6			
	H21			
	H26			
	J5			
	J7			
	J20			
	J22			
	K6			
	K21			
	L1			
	L6			
	L21			
	M7			
	M13			
	M15			
	M20			
	N5			
	N6			
	N12			
	N14			
	N21			
	N25			
	P2			
	P6			
	P13			
	P15			
	P21			
	R7			
	R12			
	R14			
	R20			

表 2-4. 引脚功能(续)

信号 名称	信号 NO.	类型 (1)	IPD/ IPU (2)	描述
V_{SS}	T1	GND		地引脚
	T5			
	T6			
	T21			
	T26			
	U6			
	U21			
	V5			
	V7			
	V20			
	V22			
	W1			
	W6			
	W21			
	W26			
	Y9			
	Y12			
	Y15			
	Y18			
	AA4			
	AA5			
	AA8			
	AA10			
	AA11			
	AA13			
	AA14			
	AA16			
	AA17			
	AA19			
	AA22			
	AB1			
	AB2			
	AB4			
	AB6			
	AB9			
	AB18			
	AB21			
	AB26			
	AC3			
	AC5			
	AC18			
	AC22			
	AC24			
	AD2			
	AD4			

表 2-4. 引脚功能(续)

信号		类型 (1)	IPD/ IPU (2)	描述
名称	标号			
V_{SS}	AD18	GND		地引脚
	AE3			
	AE8			
	AE10			
	AE12			
	AE14			
	AE19			
	AE24			
	AF1			
	AF7			
	AF9			
	AF11			
	AF13			
	AF15			
	AF19			
	AF22			
	AF26			

2.6 TMS320DM642的发展

2.6.1 发展支持

TI 公司为 TMS320C6000 (TM) DSP 平台开发提供了广泛的支持，包括对处理器工作的评估工具，代码生成工具，算法实施工具，充分全面的软件调试工具和硬件模块。

基于 TI 公司 C6000（TM)产品开发支持以下应用：

软件开发工具

程序代码编辑调试软件（CCS）是一个（集成软件工具的）集成开发环境（IDE）：包括 C/C++代码编辑器和汇编代码生成器，调试加上可升级另外的开发工具，实时基础软件（DSP/BIOS)，它提供任何 DSP 应用的目标软件所需要的基本运行时间。

硬件开发工具

扩展系统开发仿真器（支持 C6000TMDSP 多通道处理器系统编译）

EVM（评估模块）

关于详细的 TMS320C6000 系列 DSP 平台开发支持工具的完整清单，见德州仪器网站：http://www.ti.com 里通用资源处（URL)。关于付费资料的定价及获取方式，请与最近的 TI 营业部或授权经销商联系。

2.6.2 设备支持

2.6.2.1 设备及开发支持工具的命名原则

为了指明产品在开发周期中的阶段，TI 分配前缀到所有零件号码和 DSP 设备和支撑工具。 每个 DSP 商家成员有三个前缀之一： TMX，TMP 或者 TMS（如 TMS320DM642AGDKA5)。 德洲仪器推荐三种中的两种可能的它的支撑工具的标志符前缀：TMDX 和 TMDS。 这些前缀代表了从产品开发工程原型(TMX/TMDX)到成品生产的演变阶段 devices/tools (TMS/TMDS)。

设备发展演变流程：

TMX 不一定代表最终电子产品规格的实验阶段设备

TMP 未完成质量和可靠性检测的按照电子规格生产出的成品硅

TMS 检测完成的产品

支持工具发展演变流程：

TMDX 未完成德洲仪器内部资格测试的支持工具产品

TMDS 完成检测的开发支持工具产品

TMX、TMP 设备和 TMDX 开发支持工具都标有以下声明：

“发展产品供内部评估目的使用。”

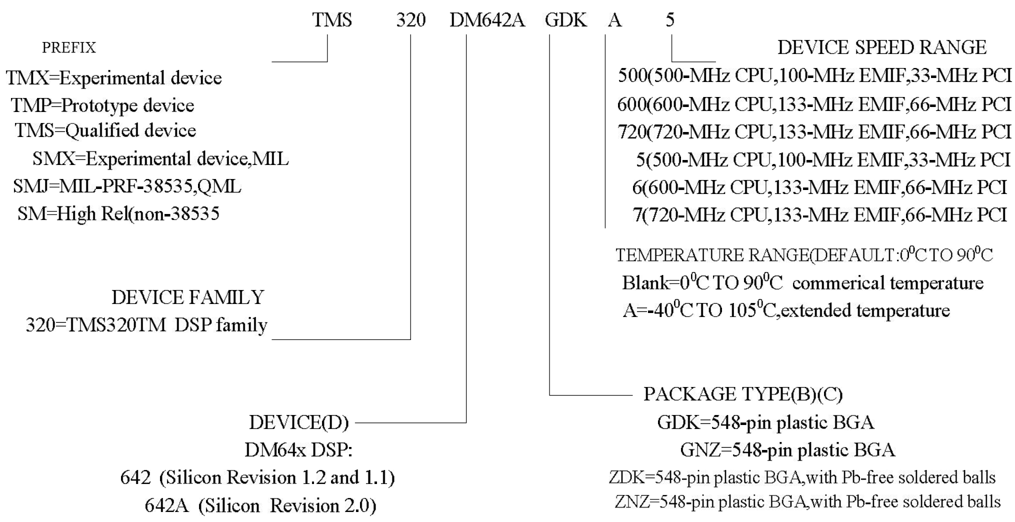
TI 申请的标准保单里详细描述和充分展示了 TMS 设备和 TMDS 开发支持工具的质量和可靠性。

预计表明，原型设备(TMX 或 TMP)比标准生产设备有更加巨大的错误率。 德洲仪器推荐这些设备不用于所有生产系统，因为他们期望的最终用途错误率仍然是未定义。只有合格的生产设备才有使用权。

TI 设备命名原则也包括设备类的后缀。 这后缀表明封装类型(如 GDK)，温度范围(如“A”表示宽温度范围)和设备速度范围 (如 5 是 500 MHz)。 图 2-16 为完全阅读设备名称提供了一个所有 TMS320C6000 (TM) DSP 平台成员的说明。

ZDK 封装形状像 GDK 封装一样，是无铅的 548 引脚球形塑胶封装。 ZNZ 是 GNZ 封装的无铅封装版本。

对于设备编号和进一步关于 GDK、GNZ、ZDK 和 ZNZ 等封装类型的 TMS320DM642 的订购信息，见 TI 网站 http://www.ti.com 或者与你的 TI 销售代表联系。



A．宽温度范围“A 版本”器件比正常的器件可以有不同的操作条件。更多详细内容可以参考这个资料的推荐的操作条件这部分

B．BGA =球栅阵列封装

C．ZDK 和 ZNZ 机械封装标识符分别表示 GDK 和 GNZ 的无铅球形封装。关于更多信息，可以参考这个文档的机械数据部分。

D．关于目前的设备号（P/Ns）和订购须知，可以参考 TI 网站(www.ti.com)。

表 2-16 TMS320DM64x DSP 命名法（包括 TMS320DM642）

2.6.2.2 文献支持

TMS320(TM) DSP 家族历代从产品的声明到应用开发都有广泛的文献支持。 可利用文献的种类包括：数据表格，例如本文与设计规格; 所有设备的完整的用户参考指南和工具技

术摘要；开发支持工具；在线帮助；硬件和软件应用．以下是对具体面向支持 C6000DSP 设备的文献摘要：

TMS320C6000 DSP CPU 和指令集参考指南（第 189 页）描述了 C6000 DSP CPU（核）构造，指令集，流水线和相关中断。

TMS320C6000 DSP 外围设备概要参考指南（第 190 页）简单地描述了在 C6000 DSP 平台可利用的外围设备的功能。这个文档也包含一张表格，列出了 C6000 器件的可用外设，同时包含文献号和相关外设文档的超链接。

TMS320C64x 技术概要（第 395）介绍了 C64x 数字信号处理器并讨论了由 C64x DSP VelociTI.2 VLIW 构造扩展的应用领域。

TMS320C6000 DSP 视频端口/VCXO 内插控制端口（VIC）参考指南(文献号 SPRU629)描述了视频端口和 VIC 端口的功能。

TMS320C6000 DSP 多通道音频串行端口（McASP）参考指南（文献号 SPRU041）描述了 McASP 外设的功能。

TMS320C6000 DSP 内部集成电路模式（I2C）参考指南(文献号 SPRU175)描述了 I2C 外设的功能。

TMS320C6000 DSP 网络媒体接入控制器(EMAC)/数据输入输出管理(MDIO)模式参考指南(文献号 SPRU628)描述了 EMAC 和 MDIO 外设的功能。

TMS320DM642 技术概要(文献号 SPRU615)描述了 TMS320DM642 的详细构造和它功能，文档也展示了一些 DM642 的应用实例，如 IP 电话，视频点播机顶盒，监视数字式录影机等。

TMS320DM642 数字信号处理器硅勘误表(文献号 SPRZ196) 描述了已知的除特殊功能以外的对 TMS320DM642 设备硅修正。

TMS320DM64x 功率消耗概略应用报告(文献号 SPRA962)为 TMS320DM642 DSP 用户讨论了它的功率消耗问题。

TMS320DM642 硬件设计者资源指南(文献号 SPRAA51)由开发流程和功能区域组成，使设计成果尽可能无缝。文档包括设计准备，电路板设计，系统测试和在最初设计和调试的帮助清单。这些文档的每部分包含有以下有用信息：技术文档，模式，符号和每个步骤的设计参考，尤其是对外围设备连接和系统级设计更为关注。

IBIS 模式时钟分析应用报告(文献号 SPRA839)描述了怎样适当的利用 IBIS 模式来为给定的系统得到准确的时钟分析。

工具支持文档可在 CCS 集成开发环境找到电子版，要详细最新的 C6000 文档清单，访问 TI 的网站 http://www.ti.com 资源统一存放处（URL）。

2.6.2.3 硅设备修正

设备硅修正可以取决于标记在封装顶端的“Die PG code”。关于更详尽的 DM642 硅修正、封装标号和已知的的对功能规格的特殊要求和所有用法笔记，涉及到设备特有的错误可以参考：TMS320DM642 数字信号处理器硅勘误表(文献号 SPRZ196)。

第 3 章 器件配置

关于 DM642，引导模式和某些配置及外设选择都是在器件复位的时候确定的。而其他的一些配置及外设选择都是在器件复位后，对外设配置寄存器（PERCFG） [其地址为 0X01B3F000] 用软件配置来完成的。

3.1复位时的配置

为使 DM642 能在正常情况下运行，GP0[0](管脚 M5)必须保持为低电平，可以内部下拉。

3.1.1 器件复位时的外设选择

一些 DM642 外设共享同一管脚（内部复用），这是互斥的（如 HPI，GPIO 管脚 GP0[15:9],PCI 和 DM642 内部的 EEPROM,EMAC,MDIO 等)。其它的一些外设总是有效的(如定时器，I^2C0 和 GP0[7:0]管脚)。

・HPI, GP0[15:9], PCI, EEPROM (内部连 PCI), EMAC 和 MDIO 这些外设：PCI_EN 和 MAC_EN引脚在复位的时候被锁存.它们决定了特定的外设选择，可以参看表 3-1。对于HPI vs，EMAC配置，可以参看表3-2.

表3-1. 关于PCI_EN, HD5, 和MAC_EN 的外设选择(HPI, GP0[15:9], PCI, EMAC, 和MDIO)

外设选择				外设状态					
PCI_EN 管脚[E2]	PCI_EEAI 管脚[L5]	HD5 管脚 [Y1]	MAC_EN管脚 [C5]	HPI低位	HPI 高位	32位 PCI	EEPROM (自动初始化)	EMAC和 MDIO	GP0 [15:9]
0	0	0	0	√	高阻	禁用	N/A	禁用	√
0	0	0	1	√	高阻	禁用	N/A	√	√
0	0	1	0	√	√	禁用	N/A	禁用	√
0	0	1	1	禁用		禁用	N/A	√	√
1	1	x	x	禁用		√	使能（通过外部EEPROM）	禁用	禁用
1	x	x	x	禁用		√	禁用（默认）	禁用	禁用

・ 如果禁用 PCI（即 PCI_EN=0），HPI外设使能并且决定于复位时 HD5和 MAC_EN的配置，可选 HPI16模式或 EMAC和 MDIO模式。当禁用 PCI（即 PCI_EN=0）时，可通过对 GPxEN 和 GPxDIR位进行合理的配置，将管脚 GP0[15:9]设计为 GPIO口。
这意味着，作为 HPI功能的 HPI/PCI复用管脚和所有单机 PCI管脚（PCBE0和 XSP_CS）都是高阻态的。同时，通过对 GPIO的使能位和地址寄存器进行合理的软件配置， GP0/PCI复用

管脚可作为 GPIO口使用。(更多信息参看表 3-8)。

- 如果 PCI使能 (PCI_EN = 1)，HPI外设即为禁用。
  这表明，所有 HPI/PCI复用管脚具有 PCI功能的。同时， GP0/PCI复用管脚功能可用为 PCI 管脚 (更多信息参看表 3-8)。
- MAC_EN与 PCI_EN和 HD5这三个管脚，控制着对 EMAC和 MDIO外设的选择 (更多信息参看表 3-8)。
  PCI_EN管脚 (= 1)和 PCI_EEAI管脚控制着是否让 PCI通过外部 EEPROM (PCI_EEAI = 1)来初始化其内部寄存器还是只使用其内部默认值 (PCI_EEAI = 0)。

表 3-2 HPI vs EMAC外设管脚选择

配置选择			外设选择	
GPO（管脚[M5]）(1)	HD5（管脚[Y1]）	MAC_EN （管脚[C5]）	HD[15:0]	HD[31:16]
0	0	0	HPI16	高阻
0	0	1	HPI16	为 EMAC 所用
0	1	0	HPI32（HD[31:0]）	
0	1	1	高阻	为 EMAC 所用
1	X	X	（1）无效配置。在器件复位时，管脚 GP0[0] 必须保持为低。	

3.1.2器件复位时的器件配置

表 3-3 描述了 DM642 器件配置管脚，它通过对以下管脚接外部上拉/下拉电阻来设置，包括：特定的 EMIFA 地址总线管脚（AEA[22:19]）,TOUT1/LENDIAN，GP0[3]/PCIEFAI 和 HD5 管脚（这些配置都是在器件复位时被锁存）。

表3-3 DM642 器件配置管脚(TOUT1/LENDIAN, AEA[22:19], GP0[3]/PCIEEAI,VDAC/GP0[8]/PCI66, HD5/AD5, PCI_EN, 和MAC_EN)

配置管脚	管脚号	功能描述
TOUT1/LENDIAN	B5	器件 Endian 模式（LEND） 0 –系统工作在大端模式下 1-系统工作在小端模式下（默认）
AEA[22:21]	[U23, V24]	Bootmode [1:0] 00–无引导（默认） 01–HPI/PCI 引导（基于 PCI_EN 管脚） 10–保留 11–EMIFA 引导
AEA[20:19]	[V25, V26]	EMIFA 输入时钟选择 对 EMIFA 时钟模式选择（AECLKIN_SE[1:0]） 00- AECLKIN(默认模式) 01- 时钟频率为 CPU/4 02- 时钟频率为 CPU/6

		11-保留
GP0[3]/PCIEEAI	L5	PCI EEPROM 自动初始化（PCIEEAI） PCI 通过外部 EEPROM 自动初始化 0- 禁止 PCI 通过 EEPROM 自动初始化;PCI 外设使用特定的 PCI 默认值（默认） 1- 允许 PCI 通过外部 EEPROM 自动初始化；当 PCI 外设管脚使能时（即 PCI_EN=1），PCI 外设通过 EEPROM 配置。
VDAC/GP0[8]/ $\overline{\text{PCI66}}$	AD1	PCI 频率选择（$\overline{\text{PCI66}}$）[PCI 外设应被选通（PCI_EN=1）才能使用该功能] 可以通过改变在 $\overline{\text{PCI66}}$ 管脚的上拉电阻和下拉电阻，在复位时，即可将 PCI 工作频率设为 66MHz 或 33MHz 0- PCI 工作频率为 66MHz（默认） 1- PCI 工作频率为 33MHz -500速度的器件只支持PCI工作在33MHz下。当PCI可用（PCI_EN=1）,对于合适的-500速度的器件该管脚在复位时必须接一个 1kΩ的上拉电阻。 注意：如果 PCI 外设禁用（PCI_EN=0），这个管脚不能被上拉。
HD5/AD5	Y1	HPI 外设总线宽度（HPI_WIDTH） 0- HPI 工作在 HPI16 模式下。 （HPI 总线是 16 位宽。使用 HD[15:0] 管脚，HD[31:16]则被保留，置为高阻态。） 1- HPI 工作在 HPI32 模式下。 （HPI 总线是 32 位。使用 HD[31:0]管脚。） （同时，参考本表中对PCI_EN; TOUT0/MAC_EN的功能描述）
PCI_EN; TOUT0/MAC_EN	[E2; C5]	外设选择 00-HPI（默认模式）[如果HD5=1,为HPI32:如果HD5=1,为HPI16] 01=EMAC和MDIO;如果HD5=0，为HPI16;如果HD5=0，则HPI禁用 10 - PCI 11 –保留

3.2复位后的配置

3.2.1复位后的外设选择

视频口（Video Ports），McBSP1，McBSP0，McASP0和 I2C0

DM642包含指定的外设配置寄存器（PERCFG），设备状态寄存器（DEVSTAT）和 JTAG识别寄存器（JTAGID）。这些寄存器是设备配置模块的一部分，并被映射在初始地址为0X01B3F000，大小为 4K的存储器中。CPU通过 CFGBUS访问这些寄存器。

外设配置寄存器（PERCFG），允许用户控制视频口（VP0，VP1，VP2），McBSP0，McBSP1，McBSP2，和 I2C0等外设。更多的关于 PERCFG寄存器控制 bits的详细信息，请看图 3-1和表 3-4.

31–24
Reserved
R-0

23–16
Reserved
R-0

15–8
Reserved
R-0

7	6	5	4	3	2	1	0
Reserved	VP2EN	VP1EN	VP0EN	I2C0EN	MCBSP1EN	MCBSP0EN	MCASP0EN
R-0	R/W-0	R/W-0	R/W-0	R/W-0	**R/W-1**	**R/W-1**	R/W-0

图例：R：只读，R/W：读写，-n：复位后取值

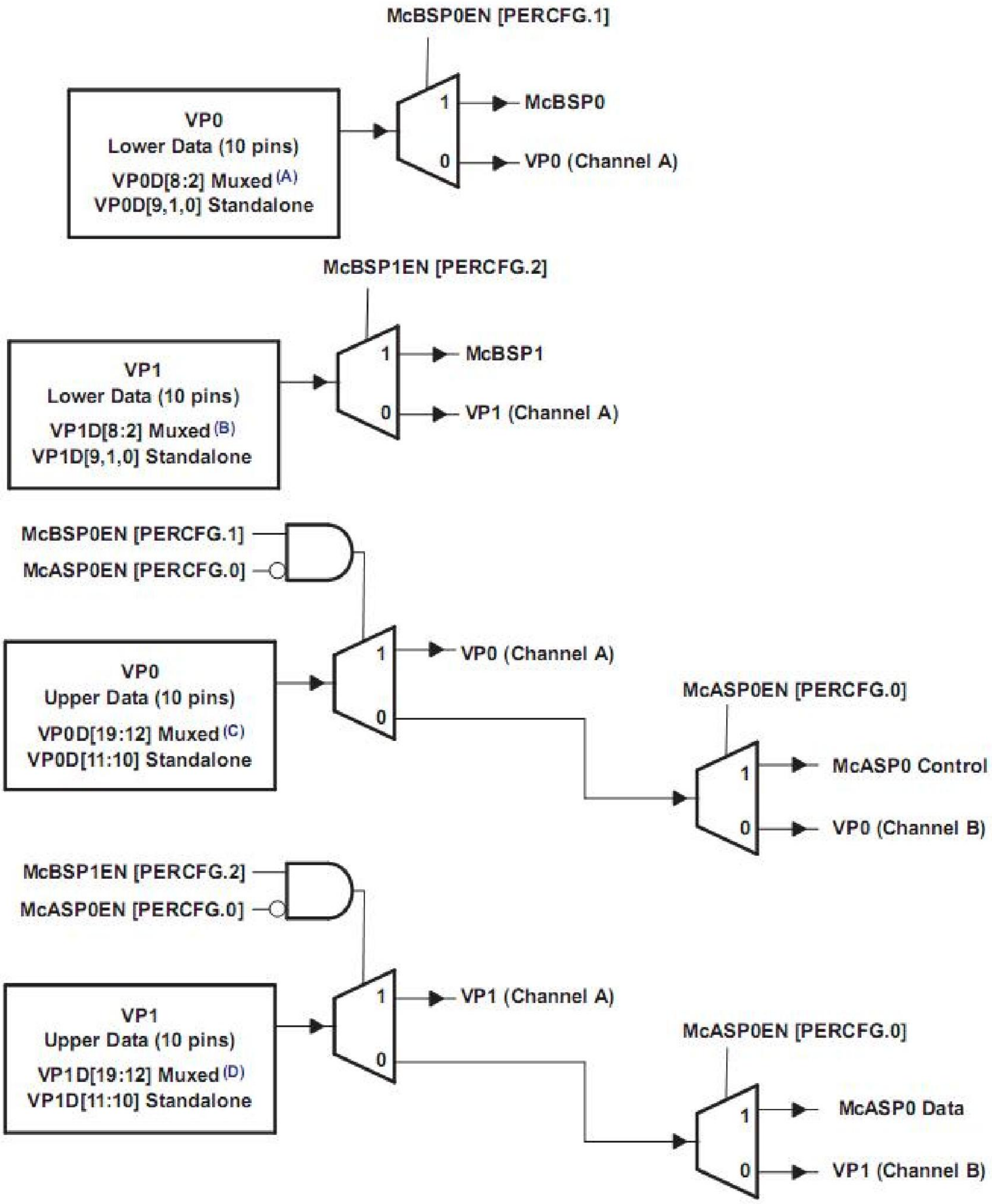
图 3-1，外设配置寄存器（PERCFG）

地址范围（0x01B3F000– 0x01B3F003）

表 3-4 外设配置寄存器（PERCFG）各个位描述

位	名称	描述
31:7	保留	保留，只读，写无效
6	VP2EN	VP2 使能位， 决定 VP2 的外设是使能还是禁止（当不使用时禁止外设，起节电作用） 0=VP2 禁止，处于节电状态（默认） 1=VP2 使能
5	VP1EN	VP1 使能位， 决定 VP1 的外设是使能还是禁止。 0=VP1 禁止，处于节电状态（默认）（当不使用时禁止外设，起节电作用） 1=VP1 使能
4	VP0EN	VP0 使能位， 决定 VP0 的外设是使能还是禁止。 0=VP0 禁止，处于节电状态（默认）（当不使用时禁止外设起，节电作用） 1=VP0 使能.
3	I2C0EN	I2C0 设能位 选择 I2C0 是使能还是禁止 0= I2C0 禁止，处于节电状态（默认）（当不使用时禁止外设，起节电作用） 1= I2C0 使能.
2	MCBSP1EN	VP1 低数据位引脚或 MCBSP1 使能位，选择 VP1 低数据位引脚还是 MCBSP1 使能 0=VP1，低位数据引脚使能并起作用（如果 VP1EN=1），MCBSP1 禁止，剩余的 VP1 高位数据引脚由 MCBSP0EN 位和 VP1EN 位设置 1= MCBSP1 使能，VP1 低数据位引脚禁止（默认） 关于外设配置寄存器（PERCFG）的选择位和信号引脚的控制/选择的图示，请看图 3-2
1	MCBSP0EN	VP0 低数据位引脚或 MCBSP0 使能位，选择 VP0 低数据位引脚还是 MCBSP0 使能 0=VP1，低位数据引脚使能并起作用（如果 VP0EN=1），MCBSP0 禁止，剩余的 VP0 高位数据引脚由 MCBSP0EN bit 位和 VP1EN bit 位设置 1= MCBSP0 使能，VP0 低数据位引脚禁止（默认） 关于外设配置寄存器（PERCFG）的选择位和信号引脚的控制/选择的图示，请看图 3-2
0	MCASP0EN	VP0/VP1 高数据位引脚或 MCASP0 选择位，选择 VP0，VP1 高数据位引脚还是 MCASP0 外设使能 0=McASP0 禁止，VP0 和 VP1 高位数据引脚使能， VP0 和 VP1 低位数据引脚分别由 MCBSP0EN 位和 VP0EN 位以及 MCBSP1EN 位和 VP1EN 位决定 1= McASP0 使能，VP0 和 VP1 高位数据引脚禁止，VP0 和 VP1 低位

		数据引脚分别由 MCBSP0EN **位和** VP0EN **位以及** MCBSP1EN **位和** VP1EN **位决定** **关于外设配置寄存器**（PERCFG）**的选择位和信号引脚的控制/选择的图示，请看图** 3-2



A．**包括**：VP0D[8]/CLKR0，VP0D[7]/FSR0，VP0D[6]/DR0，VP0D[5]/CLKS0，VP0D[4]/DX0，VP0D[3]/FSX0，VP0S[2]/CLKX0

B．**包括**：VP1D[8]/CLKR1, VP1D[7]/FSR1，VP1D[6]/DR1，VP1D[5]/CLKS1，VP1D[4]/DX1，VP1D[3]/FSX1，VP1S[2]/CLKX1

C．**包括**：VP0D[19]/AHCLKX0，VP0D[18]/AFSX0，VP0[17]/ACLKX0，VP0D[16]/AMUTE0，VP0D[15]/AMUTEIN0，VP0D[14]/AHCLKR0,VP0D[13]/AFSR0,VP0D[12]/ACLKR0

D．**包括**：VP1D[19:12]/AXR0[7:0]

图 3-2，VP0,VP1,McBSP0,McBSP1,McASP0 **数据/控制引脚复用**

3.3 外设配置锁定

缺省的状态下，在高电平的时候，McASP0,VP0,VP1,VP2以及I2C外围设备是禁用的，为了在DM642上应用这些外围设备，必须先在外围配置寄存器（PERCFG）中使能。在运行时，软件复用引脚不能设计成具有转换功能。同时在外围设备禁用之前必须考虑保证其无法进入。为了使得在DM642上的功耗最小，未使用的外围设备可能被禁用。

图3-3显示的是在DM642上使能/禁用一个给定外设的流程图

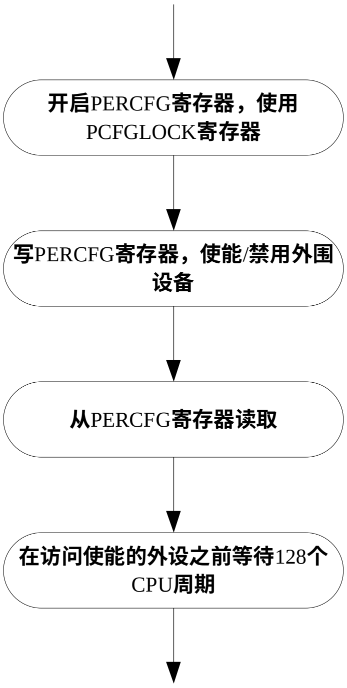


图3-3 外设使能/禁用流程图

为了不锁存PERCFG寄存器存取通道，一个32位字（值为0x10C0010C）将要被写入外围配置锁存器PCFGLOCK。无论是PERCFG寄存器是被锁存（LOCKSTAT bit=1）还是未被锁存（LOCKSTAT bit=0）读PCFGLOCK寄存器，见图3-4.只有当PERCFG寄存器处于未锁定的状态（LOCKSTAT bit=0）时，外围设备才能使能。

31 — 1	0
保留	LOCKSTAT
R-0	

31 — 0
锁定
W-0

图释：R=只读，R/W＝读/写，-n＝复位后的值

图3-4 PCFGLOCK寄存器图[地址：0x01B3F018]-读/写通道

表3-5　PCFGLOCK寄存器选择位描述-读通道

位	名字	描述
31：1	保留	保留。只读，不能写。
0	LOCKSTAT	锁存位。 决定PERCFG寄存器是否被锁定。 0=不锁存，允许对PERCFG寄存器进行读操作。 1=锁存，允许对PERCFG寄存器进行写操作，不能修正寄存器状态[缺省下] 锁定状态下，读无效

表3-6　PCFGLOCK寄存器选择位描述-写通道

位	名字	描述
31：1	保留	锁存位。 0x10C0010C＝不锁定PERCFG寄存器通道

任何对PERCFG寄存器的写操作都将对寄存器进行重新锁定。为了避免大量的非必要的时序信号，在一个必须的使能位设置时，所有的外围将被使能，通过对PERCFG寄存器进行写操作。

在等待128个CPU时钟周期之前，PERCFG寄存器将被读出。在CPU对PERCFG寄存器进行写操作和写的正确与否没有直接的关系。迫使CPU等待对PERCFG寄存器写操作的完成之后对PERCFG寄存器进行读操作。

一旦外围设备使能，DSP（或者别的外围设备如HPI）就必须在使能外围之前等待最少128个CPU周期。使用者必须保证当其未使能的时候，不能对任何一个外围进行操作。

3.4 器件状态寄存器描述

器件状态寄存器描述了器件外围设备的选择。对于实际中器件寄存器中各个位的名称及相关位域描述可参看图 3-5 及表 3-7。

31 24

保 留
R-0

23 16

保 留
R-0

15 12	11	10	9 8
保 留	MAC_EN	HPI_WIDTH	PCI_EEAI	PCI_EN
R-0	R-x	R-x	R-x	R-x

7	6	5	4	3	2	1	0
保 留	CLKMODE1	CLKMODE0	LENDIAN	BOOTMODE1	BOOTMODE	AECLKINSEL1	AECLKINSEL0
R-x	R-x	R-x	R-x	R-x	R-x	R-x	R-x

图释：R = Read only 只读，R/W = Read/Write 可读写, -n = value after reset 器件复位后的值.

图 3-5.器件状态寄存器（DEVSTAT）描述－0x01B3 F004

表 3-7　设备状态寄存器（DEVSTAT）位描述

位	名称	描述
31:12	保留	保留。只能读数据，写数据不起作用。
11	MAC_EN	EMAC 使能位。 表示外围设备 EMAC 的状态，使能或无效（默认状态）。 0=EMAC 无效，此时 EMAC 模块处于低功耗模式。 1=EMAC 使能。 若外围设备 PCI 使能（PCI_EN=1），则该位不起作用。
10	HPI_WIDTH	HPI 总线宽度控制位。 表示 HPI 总线运行状态,32 位模式或 16 位模式（默认状态）。 0=HPI 运行在 16 位模式（默认）。 1=HPI 运行在 32 位模式。
		PCI EEPROM 自动初始化位(PCI 通过外部的EEPROM 完成自动初始化)。

9	PCI_EEAI	表示 PCI 模块初始化内部寄存器的方式,通过外部 EEPROM 完成初始化或使用内部 PCI 默认值完成初始化（默认方式）。 0=PCI 通过 EEPROM 完成自动初始化无效,外围设备 PCI 通过指定的默认值来完成初始化。 1=PCI 通过 EEPROM 完成自动初始化使能，若外围设备 PCI 引脚使能（PCI_EN=1）,外围设备 PCI 由 EEPROM 完成初始化配置。
8	PCI_EN	PCI 使能位。 表示外围设备 PCI 的状态，使能或无效（默认状态）。 0 = PCI 无效。（默认值）。 1 = PCI 使能。 对 PCI vs.HPI/EMAC/MDIO/GPIO 这些外围设备全部选定并起作用。
7	保留	保留。只能读数据，写数据不起作用。
6	CLKMODE1	时钟模式选择位。 表示 CPU 时钟频率和输入时钟频率的倍数关系。 分三种情况 x1(旁路)/ x6/ x12 倍。 CLKMODE[1:0] 00-旁路(x1)（默认模式） 01- x6 10-x12 11-保留 关于 CLKMODE 引脚及 PLL 倍频器的更多详细内容，请参看该数据手册时钟 PLL 部分。
5	CLKMODE0	
4	LENDIAN	设备字节序模式 表示系统运行的字节序模式，大端模式或小端模式（默认模式）。 0-系统按大端模式运行。 1-系统按小端模式运行。
3	BOOTMODE1	引导模式配置位 表示设备采用何种引导方式开始运行。 Bootmode[1:0] 00- 无引导（默认模式） 01- HPI/PCI 引导（基于 PCI_EN 位） 10- 保留 11- EMIFA 引导
2	BOOTMODE0	
1	AECLKINSEL1	EMIFA 输入时钟选择 表示 EMIF 采用何种时钟模式 EMIFA 时钟模式选择 AECLKIN_SEL[1:0] 00- AECLKIN（默认模式） 01- CPU/4 时钟比率 10- CPU/6 时钟比率 11- 保留
0	AECLKINSEL0	

3.5复用引脚配置

复用引脚可被多个外设共享并且内部可复用。其中的一些引脚可由软件配置,另外一些只有在复位时可由外部上拉/下拉电阻进行配置,由软件配置的那些复用引脚在运行时不能编程为开关功能。那些由外部上拉/下拉电阻进行配置的复用引脚是互斥的;在复位后只有一个外设可以控制那些引脚的功能。表 3-8列出了 DM642 的复用引脚,说明了在复位后的默认功能(主功能)和默认设置。并且描述了引脚,寄存器和其他一些必须配置的复用引脚的功能。

表 3-8. DM642 复用引脚配置

复用引脚 名称　　编号	默认功能	默认设置	功能描述
CLKOUT4/GP0[1]　D6	CLKOUT 4	GP1EN = 0 (禁止)	这些引脚是可软件配置的,使用这些引脚做 GPIO 引脚,GPIO 使能寄存器中的 GPxEN 位和 GPIO 直接寄存器中的 GPxDIR 位必须作适当配置 GPxEN = 1: GPx 允许 GPxDIR = 0: GPx 脚输入 GPxDIR = 1: GPx 脚输出
CLKOUT6/GP0[2]　C6	CLKOUT 6	GP2EN = 0 (禁止)	
VDAC/GP0[8]　AD1	VDAC	GP8EN=0(禁止) MAC_EN=0(禁止)	VDAC 输出引脚功能为默认。使用 GP0[8]作 GPIO 脚,PCI 需要被禁止(PCI_EN=0) GPIO 使能寄存器中的 GPxEN 位和 GPIO 直接寄存器中的 GPxDIR 位必须作适当配置 GP8EN=1: GP8允许 GP8DIR = 0: GP8 脚为输入 GP8DIR = 1: GP8 脚为输出 注意:若 PCI 被禁止(PCI_EN=0),则该引脚不能被上拉
GP0[9]/PIDSEL　K3	无	GPxEN = 0(禁止) PCI_EN=0(禁止)(1)	用 GP0[15:9]作 GPIO 引脚 PCI 需要被禁止(PCI_EN=0),GPIO 使能寄存器中的 GPxEN 位和 GPIO 直接寄存器中的 GPxDIR 位必须作适当配置 GPxEN = 1: GPx 允许 GPxDIR = 0: GPx 脚输入
GP0[10]/PCBE3　J2			
GP0[11]/PREQ　F1			
GP0[12]/PGNT　H4			
GP0[13]/PINTA　G4			
GP0[14]/PCLK　C1			

GP0[15]/PRST G3 VP1D[19]/AXR0[7] AB12 VP1D[18]/AXR0[6] AB11 VP1D[17]/AXR0[5] AC11 VP1D[16]/AXR0[4] AD11 VP1D[15]/AXR0[3] AE11 VP1D[14]/AXR0[2] AC10 VP1D[13]/AXR0[1] AD10 VP1D[12]/AXR0[0] AC9	无	VP1EN bit = 0(禁止) MCASP0EN bit = 0 (禁止)	GPxDIR = 1: GPx 脚输出 默认状态下，复位后功能被禁止。 允许 Video Port 1 数据引脚在 PERCFG 寄存器中的 VP1EN 位必须置为 1(McASP0 数据引脚禁止) 允许 McASP0[7:0]数据引脚 PERCFG 寄存器中的 MCASP0EN 位必须置为 1(VP1 上部数据引脚禁止)
VP1D[8]/CLKR1 AD8 VP1D[7]/FSR1 AC7 VP1D[6]/DR1 AD7 VP1D[5]/CLKS1 AE7 VPID[4]/DX1 AC6 VP1D[3]/FSX1 AD6 VP1D[2]/CLKX1 AE6	McBSP1 功能	VP1EN bit = 0(禁止) McBSP1EN bit = 1 (允许)	默认状态下，McBSP1 外设功能在复位后允许(McBSP1EN bit = 1) 允许 Video Port 1 数据引脚在 PERCFG 寄存器中的 VP1EN 位必须置为 1
VP0D[19]/AHCLKX0 AC12 VP0D[18]/AFSX0 AD12 VP0D[17]/ACLKX0 AB13 VP0D[16]/AMUTE0 AC13 VP0D[15]/AMUTEIN0 AD1 VP0D[14]/AHCLKR0 AB14 VP0D[13]/AFSR0 AC14 VP0D[12]/ACLKR0 AD14	无	VP0EN bit = 0(禁止) MCASP0EN bit = 0 (禁止)	默认状态下，复位后功能被禁止。 允许 Video Port 0 数据引脚在 PERCFG 寄存器中的 VP0EN 位必须置为 1 (McASP0 控制引脚被禁止) 允许 McASP0 控制引脚 PERCFG 寄存器中的 MCASP0EN 位必须置为 1(VP1 上部数据引脚禁止)
VP0D[8]/CLKR0 AE15 VP0D[7]/FSR0 AB16 VPID[4]/DR0 AC6 VP1D[3]/FSX0 AD6 VP1D[2]/DX0 AE6 VP0D[3]/FSX0 AF16 VP0D[2]/CLKX0 AF17	McBSP0 功能	VP0EN bit = 0(禁止) McBSP0EN bit = 1 (允许)	默认状态下，McBSP0 外设功能在复位后允许(McBSP0EN bit = 1) 允许 Video Port 0 数据引脚在 PERCFG 寄存器中的 VP0EN 位必须置为 1
XSP_CLK/MDCLK R5 XSP_DO/MDIO P5	无	PCI_EN = 0 (禁止)(1) MAC_EN = 0 (1)	默认状态下，复位后功能被禁止。 允许 PCI 外设，PCI_EN 引脚上必须提供一个推拉电阻(1k) (在复位时设置 PCI_EN = 1) 允许 MDIO 外设（还允许

			EMAC 外设）在 MAC_EN 引脚上必须提供一个推拉电阻(1 k) (在复位时设置 MAC_EN= 1)
HAS/PPAR P3	HAS	PCI_EN = 0 (禁止)(1)	默认状态下， HPI 复位后被使能(PCI 禁止) 允许 PCI 外设，PCI_EN 引脚必须提供一个推拉电阻(1 k) (在复位时设置 PCI_EN = 1)
HCNTL1/PDEVSEL P1	HCNTL1		
HCNTL0/PSTOP R3	HCNTL0		
HDS1/PSERR R2	HDS1		
HDS2/PCBE1 T2	HDS2		
HR/W/PCBE2 M1	HR/W		
HHWIL/PTRDY N3	HHWIL(只有 HP116)		
HINT/PFRAME N4	HINT		
HCS/PPERR R1	HCS		
HRDY/PIRDY N1	HRDY		
HD[23,15:0]/AD[23,15:0] (2)	HD[23, 15:0]		
HD31/AD31/MRCLK G1	HD31	PCI_EN = 0 (禁止)(1) MAC_EN = 0(禁止)(1)	默认状态下， HPI 复位后被使能(PCI 禁止) 允许 PCI 外设，PCI_EN 引脚必须提供一个推拉电阻(1 k) 允许EMAC外设在 MAC_EN 引脚上必须提供一个推拉电阻(1 k)
HD30/AD30/MCRS H3	HD30		
HD29/AD29/MRXER G2	HD29		
HD28/AD28/MRXDV J4	HD28		
HD27/AD27/MRXD3 H2	HD27		
HD26/AD26/MRXD2 J3	HD26		
HD25/AD25/MRXD1 J1	HD25		
HD24/AD24/MRXD0 K4	HD24		
HD22/AD22/MTCLK L4	HD22		
HD21/AD21/MCOL K2	HD21		
HD20/AD20/MTXEN L3	HD20		
HD19/AD19/MTXD3 L2	HD19		
HD18/AD18/MTXD2 M4	HD18		
HD17/AD17/MTXD1 M2	HD17		
HD16/AD16/MTXD0 M3	HD16		

(1)当外设被禁止时，所有其他悬空的 PCI引脚在内部被限制（引脚在高阻时）

3.6 调试需要考虑的事项

建议在这些设备配置管脚上(包括 TOUT1/LENDIAN，AEA[22:19]，GP0[3]/PCIEEAI，VDAC/GP0[8]/PCI66，HD5/AD5，PCI_EN **和** TOUT0/MAC_EN)**加一些电阻，虽然这些管脚内部包含上拉/下拉电阻，但是外部电阻有利于使用者调试和适应开关操作模式。**

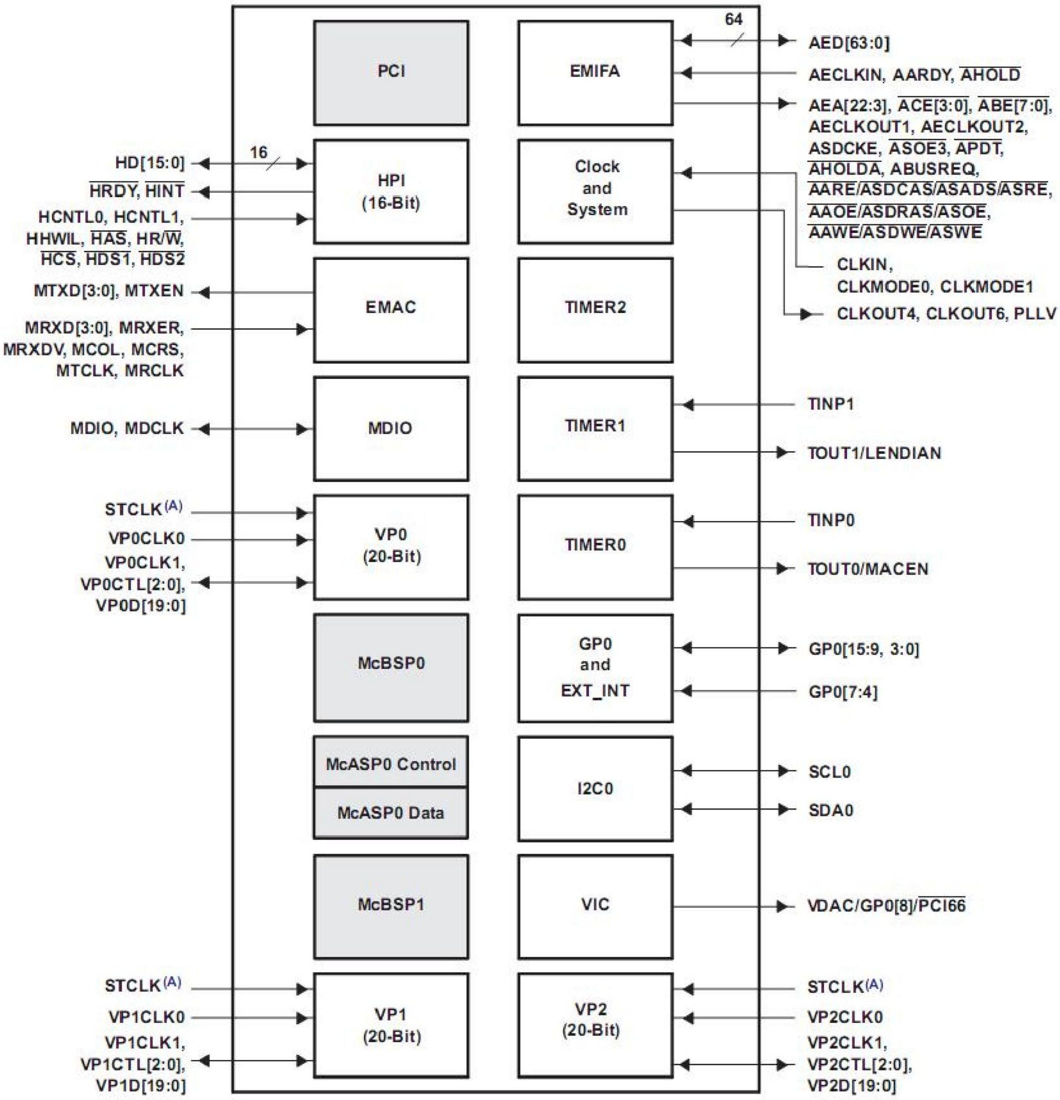
不需要配置管脚的 AEA **总线上**(AEA[18:0])**，也会有内部上拉/下拉电阻。一些没有配**

置外部上拉/下拉电阻管脚，支持内部的上拉/下拉电阻。如果一个外部控制器要为这些没有配置的管脚提供信号，那么就必须重新设置这些信号，驱动它们到缺省状态，或者不用对它们进行驱动。

对于所有设备管脚内部的上拉/下拉电阻的问题，请看终端功能表格。

3.7 配置例子

图 3-6 到图 3-8 列举了 DM642 可配置外设的例子。



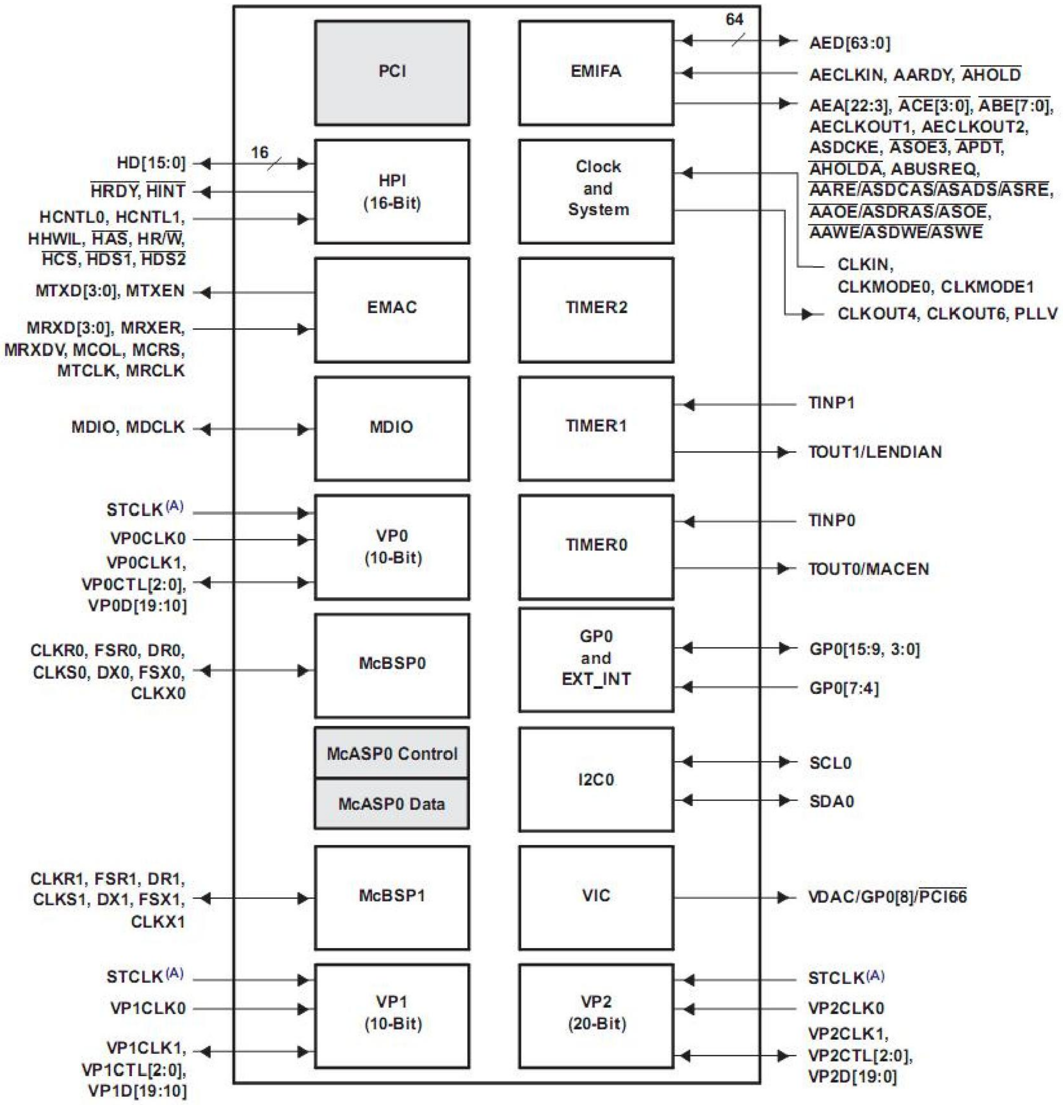
PERCFG 寄存器值：0x0000 0078

外部引脚：PCI_EN = 0　GP0[3]/PCIEEAI = 0　HD5 = 0　TOUT0/MAC_EN = 1

A. ▢ 阴影部分表示在这个配置中外设模式不可用。STCLK 支持所有三个视频端口（VP2，VP1 和 VP0）。

图 3-6 配置例子 A

(3 个 20 位视频端口+ HPI + EMAC + MDIO + I2C0 + EMIF + 3 个 Timers)



PERCFG 寄存器值：0x0000 007E

外部引脚：PCI_EN = 0　GP0[3]/PCIEEAI = 0　HD5 = 0　TOUT0/MAC_EN = 1

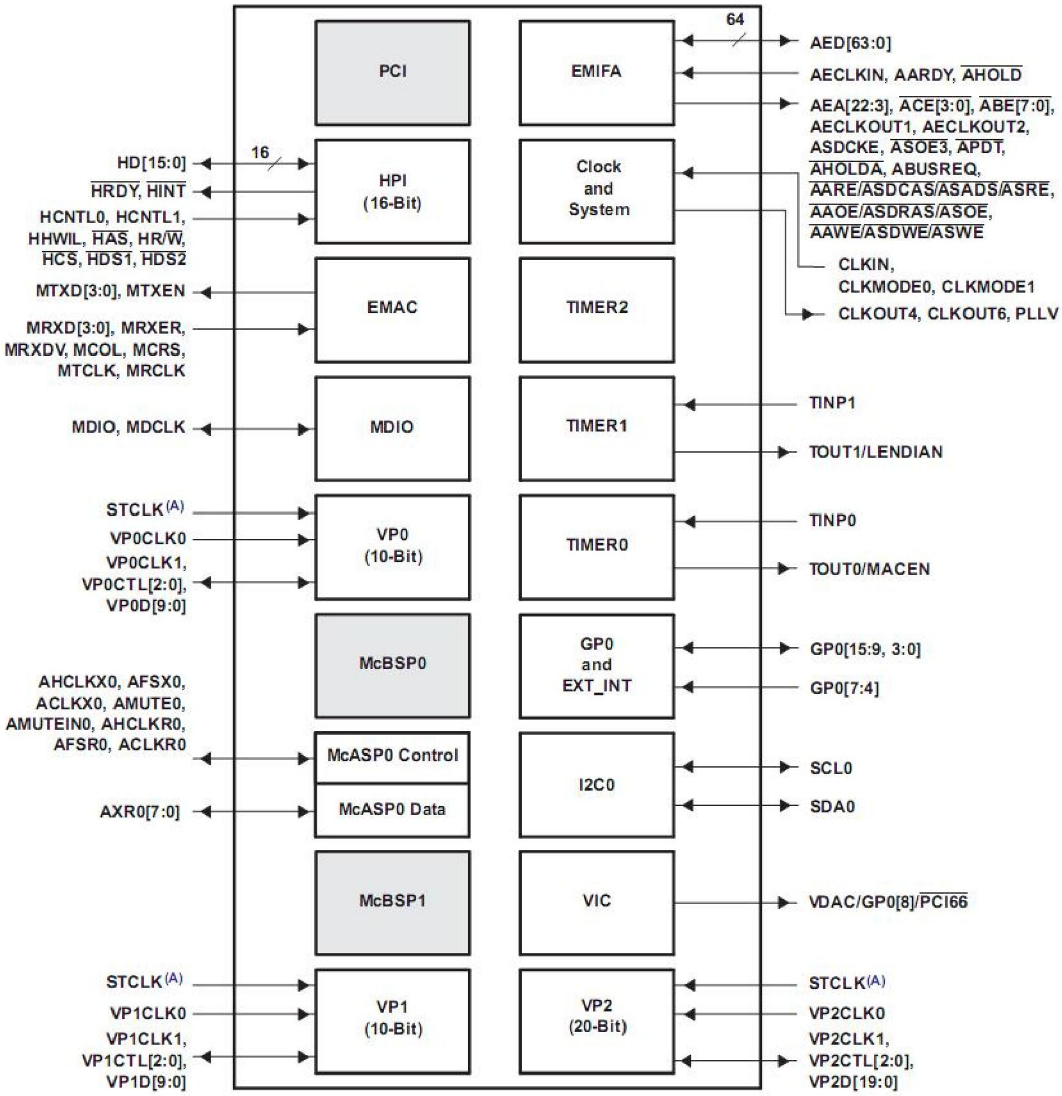
□ 阴影部分表示在这个配置中外设模式不可用。

A． STCLK 支持所有三个视频端口（VP2，VP1 和 VP0)。

图 3-7 配置例子 B

(2 个 10 位视频端口+ 2 个 McBSPs + EMAC + MDIO + I2C0 + EMIF)

[可以应用在视频 IP 电话上]



PERCFG 寄存器值：0x0000 0079

外部引脚：PCI_EN = 0　GP0[3]/PCIEEAI = 0　HD5 = 0　TOUT0/MAC_EN = 1

阴影部分表示在这个配置中外设模式不可用。

A． STCLK 支持所有三个视频端口（VP2，VP1 和 VP0)。

图 3-8 配置例子 C

(1 个 20 位视频端口, 2 个 10 位视频端口+ 1 个 McASP0 + VIC + I2C0 + EMIF)

[可应用在机顶盒上]

第 4 章 TMS320DM642 运行状况

4.1 设备运行温度最大的额定值范围

支持电压范围：	CV_{DD} （核电压）	-0.3 至 1.8 伏
	DV_{DD} （外部电压）	-0.3 至 4 伏
输入电压范围：	（PCI 总线除外）V_I	-0.3 至 4 伏
	V_{IP}	-0.5 至 DV_{DD} +0.5 伏
输出电压范围：	（PCI 总线除外）V_O	-0.3 至 4 伏
	V_{OP}	-0.5 至 DV_{DD} +0.5 伏
设备运行温度范围 T_C：	（default）	0 °C 到 90 °C
	（A 版本）[A-500,A-600]	-40 °C 到 105 °C
存储设备温度范围 T_{STG} ：		-65 °C 到 150 °C
软件循环运行温度范围：	温度范围	-40 °C 到 125 °C
	循环个数	500

说明：

（1） 超越所列内容的"绝对最大额定值"可能会造成设备永久性损伤。这些仅仅是强调设备正常范围，在这些或任何其他条件之外表示，根据"建议操作的条件"操作 ，在此没有涉及。

（2） 所有的电压值都遵照 V_{SS}

4.2 推荐运行条件

	MIN	NOM	MAX	UNIT
(CV_{DD})内核供应电压（-500）[1] 内核供应电压（A-500,A-600,-600,-720）[2]	1.14 1.36	1.2 1.4	1.26 1.44	V
数字电压 （DV_{DD}）输入输出电压	3.14	3.3	3.46	V
V_{SS} 接地	0	0	0	V
V_{IH} 输入高电压（PCI 除外）	2			V
V_{IL} 输入低电压（PCI 除外）			0.8	V
V_{IP} 输入电压（PCI）	-0.5		DV_{DD} + 0.5	V
V_{IHP} 高输入电压（PCI）	0.5 DV_{DD}		DV_{DD} +0.5	V
V_{LP} 低输入电压（PCI）	-0.5		DV_{DD} +0.5	V
V_{OS} 超/欠 最大电压	-1.0[2]		4.3[2]	V
T_C 定义 设备运行度 A 版本（A-500,A-600）	0 90 -40		 105	°C °C

说明：

（1 ）多种的 C64x 的 DSP 的可以支持，在电压从 0.9 伏至 1.4 伏至提供一系列的系统功耗/性能选项。德州仪器高度建议用户设计一个可以同时供应和处理多个电压这个范围内（即 1.2 伏特，1.25 伏特， 1.3 伏特， 1.35 伏特， 1.4 伏！ 3 %公差）通过实施简单板子的变化，例如参考电阻值或输入管脚配置修改。例如用品包括 pt4660 ， pt5500 ， pt5520 ， pt6440 ， pt6930 系列电源，他是德州仪器的一个子公司。不能有一个灵活的供应量可能会限制该系统的能力，有一个灵活的供应量则很容易适应未来版本 C64x 的装置。

（2）最大的范围不应该超过上述表格的 30 %。

4.3超过推荐范围的电源电压和设备运行温度的电气特性（除非另有注明外）

参数	测试情况	MIN	TYP	MAX	单位
输出高电压（PCI 除外）	DV_{DD} =MIN, I_{OH} =MAX	2.4			V
输出高电压（PCI）	I_{OHP} =-0.5mA, DV_{DD} =3.3V	0.9 DV_{DD}			V
输出低电压（PCI 除外）	DV_{DD} =MIN, I_{OL} =MAX			0.4	V
输出低电压（PCI）	I_{OLP} =1.5 mA, DV_{DD} =3.3V			0.1 DV_{DD} (2)	V
正确的输入（PCI 除外）	V_I =0--- DV_{DD} ``不反对内部电阻			±10	uA
	V_I =0--- DV_{DD} 反对内部上拉电阻。	50	100	150	uA
	V_I =0--- DV_{DD} 反对内部下拉电阻。	-150	-100	-50	uA
I_{IP} 输入漏电流	0< V_{IP} <3.3V			±10	uA
I_{OH} 高输出的电流	EMIF ,CLKOUT4,CLKOUT6,EMUx			-16	mA
	Video Ports,Timer,TDO,GPIO(包括 GP0[15:9,2,1]),McBSP			-8	mA
	PCI/HPI			-0.5	mA
I_{OZ} 关态输出电流	$V_O = DV_{DD}$ 到 0			±10	uA
I_{CDD} *核电流*	CV_{DD} =1.4V，CPU 时钟=720MHz		1090		mA
	CV_{DD} =1.4V，CPU 时钟=600 MHz		890		mA
	CV_{DD} =1.2V，CPU 时钟=500 MHz		620		mA
I_{DDD} *输入输出供应电流*	DV_{DD} =3.3V，CPU 时钟=720 MHz		210		mA
	DV_{DD} =3.3V，CPU 时钟=600 MHz		210		mA
	DV_{DD} =3.3V，CPU 时钟=500 MHz		165		mA
C_I (输入电容)				10	pF

C_O（输出电容）		10	pF

说明：

（1）给出的建议操作条件的测试的条件是 MIN,（最小值）MAX,（最大值）NOM（正常）。请使用恰当的值。

（2）这些额定数值是 2.3 版本 PCI 的规格，DC(直流规格)和 AC(交流)规格的定义是，分别在表 5-3 和表 5-4 中。

（3）仅适用于引脚通过一个内部上拉或下拉电阻器。

（4）PCI 输入漏电流包括 F - Z 的输出漏所有双向缓冲器三态输出。

（5）测量平均性能（ 50 % 高电压/50 %低电压） ，在 25 摄氏度的外壳温度和对于-600 和-700 而言 133 MHz 的 EMIF，(对-500 而言，100M 的 EMIF)。这种模式代表了 DSP 设备在 50 %的时间内高性能活动作业，并且其余的表明了 DSP 的低性能运行。高/低 DSP 的活动模式定义如下：

●高性能 DSP 的活动模型：

¨中央处理器： 8 指令/周期 2 LDDW 指示[L1 数据存储器： 128 比特/周期途经 LDDW 指示; L1 的程序存储器： 256 比特/周期; L2/EMIF EDMA： 从 SDRAM 中 50 %写， 50 %读（ 50 %位开关）]

¨ McBSP 接口： 2 通道，E1 速率。

¨定时器： 2 定时器的最快速度

●低 DSP 的活动模型：

¨中央处理器： 2 个指令/周期 1 LDH 的指示[L1 数据存储器： 16 比特/周期; L1 的程序存储器：每 4 周期 256 bits

L2/EMIF EDMA：无]

¨ McBSP 接口： 2 通道，E1 速率

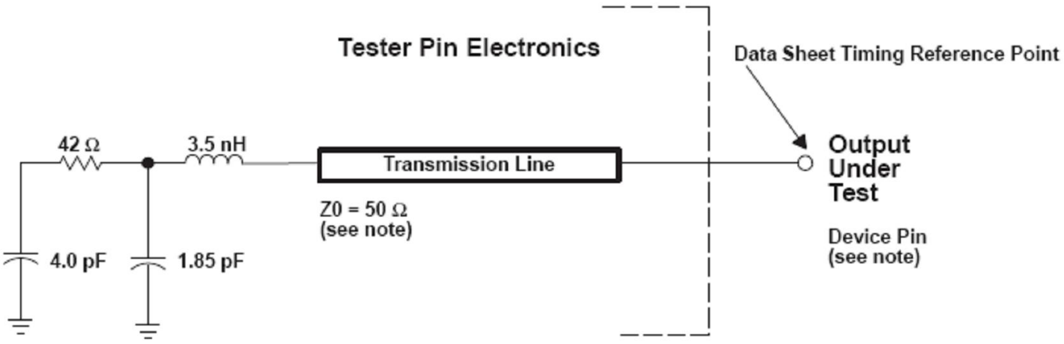
¨定时器： 2 定时器的最快速度

实际的电流图是广泛适用于各种设备，如果想了解更多的关于内核的输入/输出性能，请关注 TMS320DMx 的电源解决方案。(序列号是 SPRA962）

第 5 章 DM642 外设信息和电气特性

5.1 参数信息

5.1.1 参数信息特殊设备信息



注释：手册给出了芯片引脚的时序。为了分析输出量的时序，必须考虑到测试引脚和输送导线的影响。将输送导线延迟 2ns 或更长，可以达到输电线路的理想效果。如果仅仅视输电导线为负荷，那么没有必要从手册时序中增加或减少输电线路的延迟（2ns 或更长）。

在这个手册中，测试得出器件引脚输入量的要求为输入转换率小于四伏每纳秒（4V/ns）。

图 5-1 交流时序测试负载电路

规定的负载电容值，只是为了表征和测量交流定时信号，并不表示该器件的这个最大载荷就是其驱动能力。

5.1.1.1 信号传输电平

所有输入和输出时序参数都是参照 1.5 伏特而分为" 0 "和" 1 "两种逻辑电平。

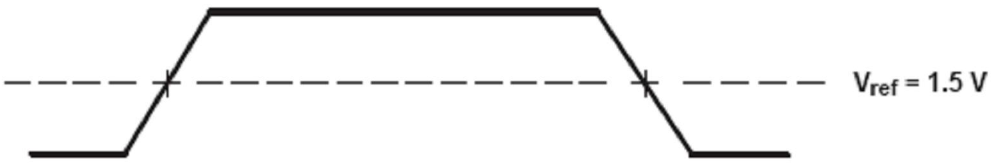


图 5-2 交流时序测量的参考输入和输出电压范围

输入时钟的所有上升和下降过渡时间参数是基于V_{IL} MAX 和V_{IH} MIN，而输出时钟的则是基于V_{OL} MAX 和V_{OH} MIN，PCI 输入时钟是V_{ILP} MAX 和V_{IHP} MIN，PCI 输出时钟是V_{OLP} MAX 和V_{OHP} MIN。

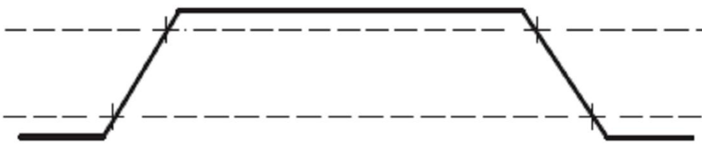


图 5-3 上升和下降过渡时间的基准电压

5.1.1.2 信号传输的比率

在测试中，所有的时序其输入斜率为 4 伏特每纳秒(4V/ns)。

5.1.1.3 时间参数和电路板线路的分析

在手册中特别说明的时序参数值不包括由电路板路线产生的延迟。作为一个良好的电路板设计实践，这种延误必须始终予以考虑。通过增加或减少这类延误，时序可能会调整。TI 建议大家利用现有的输入/输出缓冲信息规范（IBIS）模型来正确分析时序特性。为了正确使用 IBIS 模式以达到对一个给定系统准确的时序分析，请参阅使用 IBIS 模型计时分析应用报告（文献序号 SPRA839 ）。如果需要，可以用缓冲器等外部逻辑块硬件来弥补任何时序差异。

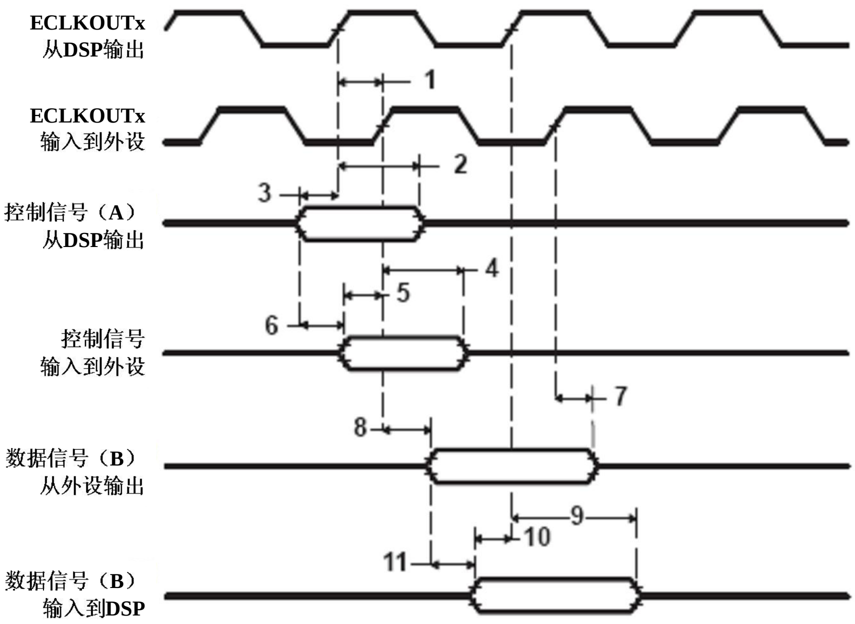
对于输入而言，时序受 DSP 和外部装置之间的来回传播延迟影响很大。这种来回传播延迟往往对输入建立时间富裕产生消极影响，但也势必会提高输入保持时间富裕 （见表 5-1 和图 5-4 ） 。

图 5-4 显示了 DSP 和外部设备之间的一般性转移。该图表还显示了电路板线路的延迟以及它们是如何通过 DSP 与外部设备来感知的。

表 5-1 电路板电平时序示例（见图 5-4 ）

NO.	描　　述
1	时钟线路延迟
2	最小的 DSP 保持时间
3	最小的 DSP 建立时间
4	外部设备保持时间的必要条件
5	外部设备建立时间的必要条件
6	控制信号线路的延迟
7	外部设备保持时间
8	外部设备存取时间

9	DSP 保持时间的必要条件
10	DSP 建立时间的必要条件
11	数据线路延迟



A：控制信号包括用来写数据。

B: 数据信号产生于外部设备读入数据

图 5-4 电路板电平的输入/输出时序

5.2 推荐的时钟和控制信号转变行为

所有的时钟和控制信号必须在 V_{IH} 和 V_{IL} 之间（或者 V_{IL} 到 V_{IH}）单调变化。

5.3电源

更多关于 TI 电源管理产品和给 TI DSP 供电的推荐设备的信息，可访问 www.ti.com/dsppower。

5.3.1 供电顺序

TI DSP 并不要求核心供电与 I/O 口供电有特殊的上电顺序。然而，设计时必须保证当其他供电值低于合适的操作电压时，系统所有供电的上电时间不超过 1 秒。

5.3.2 供电设计的考虑因素

一个带有同时上电的双电源供电方式可以消除核心与 I/O 上电时的延迟。用一个肖特基二极管连接核心供电端与 I/O 供电端（见图 5-5）

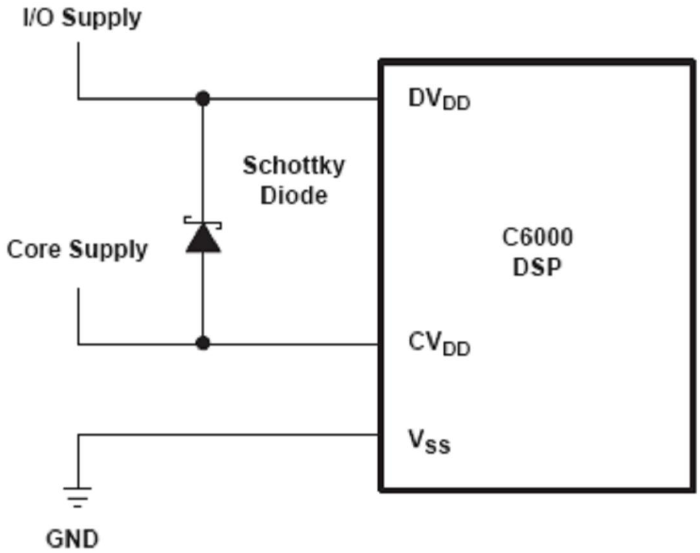


图 5-5 肖特基二极管图

核心与 I/O 口的电源稳压器应该放置于接近 DSP（或 DSP 阵列）处，以使电源传输路径的感抗与阻抗最小。另外当使用 C6000 平台 DSP 设计高性能应用时，印刷电路板应包括针对核心的电源层、针对 I/O 的电源层、针对地的电源层，并旁路高质量低 ESL/ESR（等效串联电感/等效串联电阻）的电容。

5.3.3 供电的去耦

为了将系统噪声从供电层完全的去掉，在离 DSP 很近的地方尽量多的放置电容。假设

使用 0603 规格封装的贴片电容，设计者应该满足总共 60 个电容的要求，其中 30 个使用在核心供电端，另 30 个使用在 I/O 口的供电端。这些电容需要靠近 DSP 的供电针脚，不超过 1.25cm 的最大间距是有效的。如果使用更小封装尺寸的电容，如 0402 则更好，因为 0402 有更小的寄生电感。合适的电容值同样重要。电容值小的旁路电容（接近 560pF）应该最接近供电针脚。电容值中等大小的旁路电容（220nF 或者在小的封装下有更大电容值）应该次接近供电引脚。TI 推荐每个供电针脚使用不超过 8 个小值电容和 8 个中等值电容 （总共不超过 32 个）直接放置在 BGA 孔的旁边，使用 “ 内部 ”BGA 的空间和至少一个角的外部空间。

8个大电容值的电容（每个供电针脚4个）为了解耦可以放置得更远。大的解耦电容（在100μF的数量级上）应该放置得最远（但是仍然是要尽量靠近）。每个供电端用不超过4个大电容放置在BGA外部。

电容的选择需要从生产/制造的观点来考虑。只要选定了任意一个元件，那么应该在产品生产的周期中考虑验证电容的可用性。

5.3.4外围部件低功耗操作

DM642可以采用三种低功耗模式：

- 采用针脚配置的低功耗方式
- 采用软件配置的低功耗方式——涉及在PERCFG寄存器中的外围配置位的基本状态
- 采用软件配置在运行阶段低功耗的方式

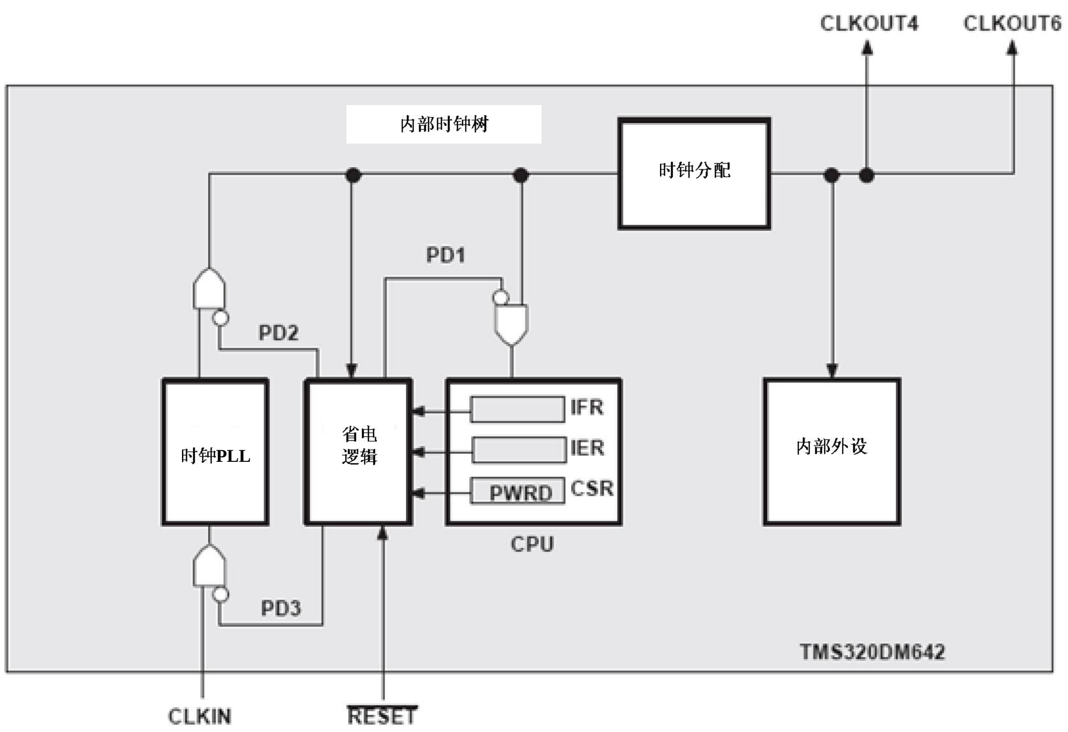
在DM642中，当芯片重启时HPI,PCI,EMAC和MDIO外围设备被针脚控制（例如PCI_EN,HD5,MAC_EN脚）。

通过配置外围设备配置寄存器的相应位，以实现McASP0, McBSP0, MCBSP1, VP0, VP1, VP2, I2C0这些外围功能。

关于外围配置针脚和PERCFG寄存器位更详的信息，请参见本文档关于设备配置的介绍。

5.3.5低功耗模式的逻辑

图5-6表示了DM642低功耗模式实现的逻辑性。



A. **外部输入时钟，除了**CLKIN，**不由低功耗模式逻辑控制。**

图5-6 **低功耗模式逻辑**(A)

5.3.6 触发、唤醒与效果

低功耗模式与从低功耗模式唤醒是通过对PWRD**段（**15-10**位）控制状态寄存器的编程实现的。关于控制状态寄存器见图**5-7，**该寄存器说明见表**5-2.。**当对控制状态寄存器进行写操作的时候，**PWRD**段的所有位应该同时置位。当需要写入到保留位（**15**位）时需要使用逻辑**0。**控制状态寄存器将在**TMS320C6000**与指令集参考指南（文件号**SPRU189）**中详细讨论。**

31							16
（见注释）							
15	14	13	12	11	10	9	8
保留	**使能或不使能中断唤醒**	**使能中断唤醒**	PD3	PD2	PD1	**（见注释）**	
7							0
（见注释）							

图释：R/W**＝可读/可写，**-n**＝复位值**

注释：灰色部分的位不是低功耗模式部分，因此，这里就不涵盖了。关于另外 CSR **寄存器的位信息，可以参见** *TMS320C6000 CPU and Instruction Set Reference Guide* (**文献号** SPRU189)。

图 5-7 CSR **寄存器的** PWRD **区**

当指令对控制寄存器的 PWRD **位置位后，在** PD **模式有效前会有** 9 **个时钟以上的延迟。**

为了更好的应用这个延迟，需要在控制状态寄存器的 PWRD 置位后加入空操作。

如果 PD1 模式通过非屏蔽中断被终止了，那么程序将回到 PD1 模式生效的地方开始运行。如果 PD1 模式通过可屏蔽中断被终止了，中断服务程序将首先执行，然后程序将返回到 PD1 模式生效的地方开始运行。在使能中断的情况下，为了中断服务程序的执行，控制状态寄存器的 GIE 位和中断使能寄存器的 NMIE 位必须置位，否则当 PD1 模式被可屏蔽中断终止时，程序会跳到 PD1 模式生效的地方开始运行。

PD2 和 PD3 模式仅仅能被设备重置所中止。表 5-2 总结了所有的低功耗模式。

表 5-2 低功耗模式特性

PRWD 区（15-10 位）	低功耗模式	唤醒方法	在片上操作的效果
000000	无低功耗	—	—
001001	PD1	通过可屏蔽中断唤醒	CPU 暂停（除了中断逻辑）低功耗模式在 CPU 核内阻止内部时钟输入，避免大多数的 CPU 逻辑交换。在 PD1 模式期间，EDMA 可以在外围器件和内部存储器之间传输数据。
010001	PD1	通过可屏蔽或不可屏蔽中断唤醒	
011010	PD2(1)	通过设备重置唤醒	来至锁相环的输出时钟被暂停，通过转换停止内部时钟使整个芯片暂停。所有寄存器和内部 RAM 的内容被保存。所有 I/O 被锁定在锁相环时钟关断时的状态。
011100	PD3(1)	通过设备重置唤醒	输出到锁相环的时钟停止输出。所有寄存器和内部 RAM 的内容被保存。所有 I/O 被锁定在锁相环时钟关断时的状态。接着重启，锁相环需要时间进行重锁定，就像上电的情况一样。从 PD3 唤醒的时间不从 PD2 唤醒的时间长，因为锁相环需要时间进行重锁定，就像上电的情况一样
其他	保留	—	—

(1) 当进入 PD2 和 PD3 模式时，所有的功能 I/O 仍然是当前状态。然而，因为外部设备异

步的特性或者外围设备有外部时钟源，输出信号可能根据输入信号的激励而变化。在这样的情况下，外围设备不会根据规范运行。

5.3.7 C64 低功耗模式的硬件仿真

如果用户对低功耗模式进行了编程，并且连接了仿真器，那么这个模式将被仿真并允许仿真器访问系统，一直到仿真器重启或者拔掉电缆。如果在低功耗模式下运行了电源测量手段，那么仿真器电缆应该拔掉。

当 DSP 在 PD2 或 PD3 低功耗模式下，仿真逻辑将强迫任何仿真命令（如单步、全速）无效。由于这个原因，在 PC 写入（尤其是大代码）会失败。这时需要 DSP 重启使其跳出 PD2/PD3 低功耗模式。

5.4 增强的直接存取器访问（EDMA）控制器

EDMA 控制器处理二级（L2）缓存控制器和 DM642 DSP 的片外设备之间的所有数据传输。这些数据传输包括高速缓存服务，无缓存内存存取，用户定义数据传输和基本传输。

5.4.1EDMA 设备专用信息

5.4.1.1 EDMA 通道同步事件

C64x EDMA 最多可支持 64 个 EDMA 通道，这些通道服务于片外设备和外部存储器。表 5-3 列出了 C64x EDMA 通道同步事件的每一项可用于编程的资源。对于 DM642 的存储器，事件和通道是连接在一起的；每一个 EDMA 通道都与一个具体的事件相连。这些具体的事件能够被 EDMA 事件寄存器（ERL,ERH）记录，这些事件甚至能够被 EDMA 事件启动寄存器（EERL,EERH）屏蔽禁止。存储于 EDMA 参数 RAM 中的传输参数，可以独立地对每一个事件的优先级进行设定。更多关于 EDMA 模块和 EMDA 事件的激活，记录，过程，连接,形成链和清除等内容,可见 *TMS320C6000 DSP Enhanced Direct Memory Access (EDMA) Controller Reference Guide*（文献号：SPRU234）。

表 5-3. TMS320DM642 EDMA 通道同步事件

EDMA 通道	事件名称	事件说明
0	DSP_INT	HPI/PCI-to-DSP 中断
1	TINT0	定时器 0 中断
2	TINT1	定时器 1 中断
3	SD_INTA	EMIFA SDRAM 定时器中断
4	GPINT4/EXT_INT4	GP0 事件 4/外部中断引脚 4
5	GPINT5/EXT_INT5	GP0 事件 5/外部中断引脚 5
6	GPINT6/EXT_INT6	GP0 事件 6/外部中断引脚 6
7	GPINT7/EXT_INT7	GP0 事件 7 外部中断引脚 7
8	GPINT0	GP0 事件 0
9	GPINT1	GP0 事件 1
10	GPINT2	GP0 事件 2
11	GPINT3	GP0 事件 3
12	XEVT0	McBSP0 发送事件
13	REVT1	McBSP0 接收事件
14	XEVT1	McBSP1 发送事件
15	REVT1	McBSP1 接收事件
16	VP0EVTYA	VP0 通道 A 的 Y 事件 DMA 请求
17	VP0EVTUA	VP0 通道 A 的 Cb 事件 DMA 请求
18	VP0EVTVA	VP0 通道 A 的 Cr 事件 DMA 请求
19	TINT2	定时器 2 中断
20-23	-	无

24	VP0EVTYB	VP0 通道 B 的 Y 事件 DMA 请求
25	VP0EVTUB	VP0 通道 B 的 Cb 事件 DMA 请求
26	VP0EVTVB	VP0 通道 B 的 Cr 事件 DMA 请求
27-31	-	无
32	AXEVTE0	McASP0 发送偶事件
33	AXEVTO0	McASP0 发送奇事件
34	AXEVT0	McASP0 发送事件
35	AREVTE0	McASP0 接收偶事件
36	AREVTO0	McASP0 接收奇事件
37	AREVT0	McASP0 接收事件
38	VP1EVTYB	VP1 通道 B 的 Y 事件 DMA 请求
39	VP1EVTUB	VP1 通道 B 的 Cb 事件 DMA 请求
40	VP1EVTVB	VP1 通道 B 的 Cr 事件 DMA 请求
41	VP2EVTYB	VP2 通道 B 的 Y 事件 DMA 请求
42	VP2EVTUB	VP2 通道 B 的 Cb 事件 DMA 请求
43	VP2EVTVB	VP2 通道 B 的 Cr 事件 DMA 请求
44	ICREVT0	I2C0 接收事件
45	ICXEVT0	I2C0 发送事件
46-47	-	无
48	GPINT8	GP0 事件 8
49	GPINT9	GP0 事件 9
50	GPINT10	GP0 事件 10
51	GPINT11	GP0 事件 11
52	GPINT12	GP0 事件 12
53	GPINT13	GP0 事件 13
54	GPINT14	GP0 事件 14
55	GPINT15	GP0 事件 15
56	VP1EVTYA	VP1 通道 A 的 Y 事件 DMA 请求
57	VP1EVTUA	VP1 通道 A 的 Cb 事件 DMA 请求
58	VP1EVTVA	VP1 通道 A 的 Cr 事件 DMA 请求
59	VP2EVTYA	VP2 通道 A 的 Y 事件 DMA 请求
60	VP2EVTUA	VP2 通道 A 的 Cb 事件 DMA 请求
61	VP2EVTVA	VP2 通道 A 的 Cr 事件 DMA 请求
62-63	-	无

(1)除了表中所列的事件，这 64 个通道每个也可以同步于传输或备用传输事件。更多关于 EDMA 事件传输链的信息，可见 *TMS320C6000 DSP Enhanced Direct Memory Access (EDMA) Controller Reference Guide* (文献号：SPRU234)。

5.4.2 EDMA 片外寄存器说明

表 5-4. EDMA 寄存器(C64x)

16 进制地址范围	首字母缩写	寄存器名称
01A0 0800 – 01A0 FF98	-	保留

01A0 FF9C	EPRH	事件极性 高位寄存器
01A0 FFA4	CIPRH	通道中断挂起 高位寄存器
01A0 FFA8	CIERH	通道中断启动 高位寄存器
01A0 FFAC	CCERH	通道链式启动 高位寄存器
01A0 FFB0	ERH	事件 高位寄存器
01A0 FFB4	EERH	事件启动 高位寄存器
01A0 FFB8	ECRH	事件清除 高位寄存器
01A0 FFBC	ESRH	事件设置 高位寄存器
01A0 FFC0	PQAR0	优先级队列分配 寄存器 0
01A0 FFC4	PQAR1	优先级队列分配 寄存器 1
01A0 FFC8	PQAR2	优先级队列分配 寄存器 2
01A0 FFCC	PQAR3	优先级队列分配 寄存器 3
01A0 FFDC	EPRL	事件极性 低位寄存器
01A0 FFE0	PQSR	优先级队列状态 寄存器
01A0 FFE4	CIPRL	通道中断挂起 低位寄存器
01A0 FFE8	CIERL	通道中断启动 低位寄存器
01A0 FFEC	CCERL	通道链式启动 低位寄存器
01A0 FFF0	ERL	事件 低位寄存器
01A0 FFF4	EERL	事件启动 低位寄存器
01A0 FFF8	ECRL	事件清除 低位寄存器
01A0 FFFC	ESRL	事件设置 低位寄存器
01A1 0000 – 01A3 FFFF	-	保留

表 5-5. 快速 DMA(QDMA)和伪寄存器

16 进制地址	首字母缩写	寄存器名称
0200 0000	QOPT	QDMA 参数选择寄存器
0200 0004	QSRC	QDMA 源地址寄存器
0200 0008	QCNT	QDMA 帧计数寄存器
0200 000C	QDST	QDMA 目的地址寄存器
0200 0010	QIDX	QDMA 索引寄存器
0200 0014-0200 001C		保留
0200 0020	QSOPT	QDMA 伪参数选择寄存器
0200 0024	QSSRC	QDMA 伪源地址寄存器
0200 0028	QSCNT	QDMA 伪帧计数寄存器
0200 002C	QSDST	QDMA 伪目的地址寄存器
0200 0030	QSIDX	QDMA 伪索引寄存器

表 5-6. EDMA 参数 RAM (C64x)(1)

16 进制地址	缩写	寄存器名称	备注
01A0 0000 – 01A0 0017	-	事件 0 参数（6 字节）	事件 0 参数（6 字节）或其他事件的

			重载入/连接参数
01A0 0018 – 01A0 002F	-	事件 1 参数（6 字节）	
01A0 0030 – 01A0 0047	-	事件 2 参数（6 字节）	
01A0 0048 – 01A0 005F	-	事件 3 参数（6 字节）	
01A0 0060– 01A0 0077	-	事件 4 参数（6 字节）	
01A0 0078 – 01A0 008F	-	事件 5 参数（6 字节）	
01A0 0090 – 01A0 00A7	-	事件 6 参数（6 字节）	
01A0 00A8 – 01A0 00BF	-	事件 7 参数（6 字节）	
01A0 00C0 – 01A0 00D7	-	事件 8 参数（6 字节）	
01A0 00D8 – 01A0 00EF	-	事件 9 参数（6 字节）	
01A0 00F0 – 01A0 0107	-	事件 10 参数（6 字节）	
01A0 0108 – 01A0 011F	-	事件 11 参数（6 字节）	
01A0 0120 – 01A0 0137	-	事件 12 参数（6 字节）	
01A0 0138 – 01A0 014F	-	事件 13 参数（6 字节）	
01A0 0150 – 01A0 0167	-	事件 14 参数（6 字节）	
01A0 0168 – 01A0 017F	-	事件 15 参数（6 字节）	
01A0 0180 – 01A0 019F	-	事件 16 参数（6 字节）	
01A0 0198 – 01A0 01AF	-	事件 17 参数（6 字节）	
...	-	……	
01A0 05D0 – 01A0 05E7	-	事件 62 参数（6 字节）	
01A0 05E8 – 01A0 05FF	-	事件 63 参数（6 字节）	
01A0 0600 – 01A0 0617	-	事件 0 重载入/连接参数（6 字节）	其他事件 0-15 重载入/连接参数
01A0 0618 – 01A0 062F	-	事件 1 重载入/连接参数（6 字节）	
…	-	……	

01A0 07E0 – 01A0 07F7	-	**事件 20 重载入/连接参数（6 字节）**	
01A0 07F8 – 01A0 080F	-	**事件 21 重载入/连接参数（6 字节）**	
01A0 0810 – 01A0 0827	-	**事件 22 重载入/连接参数（6 字节）**	
…	-	……	
01A0 13C8 – 01A0 13DF	-	**事件 147 重载入/连接参数(6 字节)**	
01A0 13E0 – 01A0 13F7	-	**事件 148 重载入/连接参数(6 字节)**	
01A0 13F8 – 01A0 13FF	-	**临时填充区域（2 字节）**	
01A0 1400 – 01A3 FFFF	-	**保留**	

(1) DM642 **一共有** 213 **个** EDMA **参数：**64 **个事件**/**重载入通道和** 149 **个只重载入参数**[**每个参数** 6 **个字**]**，能够用来重载入**/**连接** EDMA **传输。**

5.5 中断

5.5.1 中断源和中断选择器

C64X DSP 的核支持 16 级中断，如表 5-7。最高级中断 INT_00（RESET）,最低级中断 INT_15.前四个中断(INT_00-INT_03)是片内固定和不可屏蔽的。其余的中断(INT_04-INT_15)是可屏蔽的，其中断源见表 5-7。中断(INT04-INT15)的中断源可以通过修改对应的中断选择控制寄存器 MUXH(地址:0X019C0000)和 MUXL(地址:0X019C0004)的选择器值(二进制值)来进行编程。

表 5-7 DM642 DSP 中断

CPU 中断	中断选择控制寄存器	选择器值（二进制）	中断事件	中断源
INT_00(1)	—	—	RESET	
INT_01(1)	—	—	NMI	
INT_02(1)	—	—	保留	保留
INT_03(1)	—	—	保留	保留
INT_04(2)	MUXL[4:0]	00100	GPINT4/EXT_INT4	GP0 中断 4/外部中断引脚 4
INT_05(2)	MUXL[9:5]	00101	GPINT5/EXT_INT5	GP0 中断 5/外部中断引脚 5
INT_06(2)	MUXL[14:10]	00110	GPINT6/EXT_INT6	GP0 中断 6/外部中断引脚 6
INT_07(2)	MUXL[20:16]	00111	GPINT7/EXT_INT7	GP0 中断 7/外部中断引脚 7
INT_08(2)	MUXL[25:21]	01000	EDMA_INT	EDMA 通道(0-63)中断
INT_09(2)	MUXL[30:26]	01001	EMU_DTDMA	EMU DTDMA
INT_10(2)	MUXH[4:0]	01010	SD_INTA	EMIFA SDRAM定时器中断
INT_11(2)	MUXH[9:5]	01011	EMU_RTDXRX	EMU 实时数据交换(RTDX)
INT_12(2)	MUXH[14:10]	01100	EMU_RTDXTX	EMU RTDX发送
INT_13(2)	MUXH[20:16]	00000	DSP_INT	HPI/PCI 到 DSP 中断
INT_14(2)	MUXH[25:21]	00001	TINT0	定时器 0 中断
INT_15(2)	MUXH[30:26]	00010	TINT1	定时器 1 中断
—	—	01100	XINT0	McBSP0 发送中断
—	—	01101	RINT0	McBSP0 接收中断
—	—	01110	XINT1	McBSP1 发送中断
—	—	01111	RINT1	McBSP1 接收中断
—	—	10000	GPINT0	GP0 中断 0
—	—	10001	保留	保留
—	—	10010	保留	保留
—	—	10011	TINT2	定时器 2 中断
—	—	10100	保留	保留

—	—	10101	保留	保留
—	—	10110	ICINT0	I2C0 中断
—	—	10111	保留	保留
—	—	11000	EMAC_MDIO_INT	EMAC_MDIO 中断
—	—	11001	VPINT0	VP0 中断
—	—	11010	VPINT1	VP1 中断
—	—	11011	VPINT2	VP2 中断
CPU 中断	中断选择控制寄存器	选择器值（二进制）	中断事件	中断源
—	—	11100	AXINT0	McASP0发送中断
—	—	11101	ARINT0	McASP0接收中断
—	—	11110-11111	保留	保留

（1）中断(INT_00—INT_03)是片内固定和不可屏蔽的。

（2）中断(INT04-INT15)的中断源可以通过修改中断选择控制寄存器的选择器值(二进制值)来进行编程。表 5-7说明了中断(INT04-INT15)的默认中断源。更多细节参考*TMS320C6000 DSP Interrupt Selector Reference Guide*（文献号：SPRU646）。

5.5.2 中断外围寄存器

表 5-8 中断选择寄存器（C64X）

16 进制地址	缩写	寄存器名称	备注
019C0000	MUXH	多路中断选择高位	通过选择驱动(INT_10－INT_15)中断
019C0004	MUXL	多路中断选择低位	通过选择驱动(INT_04－INT_09)中断
019C0008	EXTPOL	外部中断极性	设置外部中断(EXT_INT4—EXT_INT7)极性
019C000C-019FFFFF	—	保留	

5.5.3 外部中断数据/时序的电气参数

表 5-9 外部中断的时序要求[1] (见表 5-8)

NO.			-500		单位
			-600		
			-720		
			MIN	MAX	
1	t_w(LOW)	NMI 中断低电平时间宽度	4P		ns
		EXT_INT 中断低电平时间宽度	8P		ns
2	t_w(HIGH)	NMI 中断高电平时间宽度	4P		ns
		EXT_INT 中断高电平时间宽度	8P		ns

（1）P＝1/CPU 时钟频率 ns .例如，当前时钟频率为 720MHz, P=1.39ns

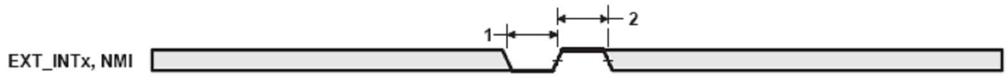


图 5-8 外部/NMI 中断时序

5.6 复位

硬件复位（$\overline{RESET}$）使 DSP 失去上电状态。$\overline{RESET}$ 信号（下拉）设置为高优先级在 DSP 核和 I/O 上电或者已经上电到理想工作条件。最好的操作就是在 DSP 上电的过程中，复位信号应该一直有效。在 $\overline{RESET}$ 信号无效后（从低电平到高电平），核与 I/O 应该工作在理想的条件下，CLKIN 应该工作在正确的频率下。当 PCI 允许，PCI 的输入时钟（PCLK）也必须在 $\overline{RESET}$ 无效后工作。

当 PCI 的外围允许，WARMRESET 通过主机可以工作。WARMRESET 和硬件复位有相同的功能，但是不能重新锁住 BOOT 配置引脚。一旦 BOOT 配置在硬件复位之前锁住，在 WARMRESET 过程中将被改变。

硬件复位不能复位 PCI 外围状态机。PCI 状态机的复位通过 $\overline{PRST}$ 信号。$\overline{PRST}$ 信号不影响 DSP。

仿真复位，使用 Code Composer Studio IDE，和 PCI 的 WARMRESET 影像相同。

外围器件的 $\overline{RESET}$ 上升沿的选择信息，参考本数据手册的设备配置章节。

5.6.1 复位电气参数/时序

表 5-10 复位时序要求（见图 5-9）

NO.		-500 -600 -720 最小　最大	单位
1	$T_{w(RST)}$ $\overline{RESET}$ 脉冲宽度	250	us
16	$T_{su(boot)}$ 建立时间，boot 配置位有效，在 $\overline{RESET}$ 高之前 (1)	4E 或者 4C(2)	ns
17	$T_{h(boot)}$ 保持时间，boot 配置位有效，在 $\overline{RESET}$ 高之后 (1)	4P(3)	ns
18	$T_{su(PCLK-RSTH)}$ 建立时间，PCLK 有效，在 $\overline{RESET}$ 高之前 (4)	32N	ns

（1） AEA[22:19]，LENDIAN,PCIEEAI,和 HD5/AD5 为 boot 配置引脚在设备复位中。

（2） E=1/AECLKIN 时钟频率单位 ns，C=1/CLKIN 时钟频率 ns，选择最小值，无论值有多大。

（3） P= 1/CPU 时钟频率 ns，例如，运行在 720MHz，P= 1.39ns。

（4） N=PCI 输入时钟（PCLK）周期 ns，当 PCI 允许（PCI_EN=1），这个参数必须选择。

表 5-11 推荐工作条件下复位过程中的转换特性[(1)(2)(3)] （见图 5-9）

NO.		-500 -600 -720		单位
		最小	最大	
2	td(RSTL-ECKI) 延迟时间，$\overline{RESET}$ 低到 AECLKIN 内部同步	2E	3P+20E	ns
3	td(RSTH-ECKI) 延迟时间，$\overline{RESET}$ 高	2E	8P+20E	ns
4	td(RSTL-ECKO1HZ) 延迟时间，$\overline{RESET}$ 低到 AECLKOUT1 高阻	2E		ns
5	td(RSTH-ECKO1V) 延迟时间，$\overline{RESET}$ 高到 AECLKOUT1 有效		8P+20E	ns
6	td(RSTL-EMIFZHZ) 延迟时间，$\overline{RESET}$ 低到 EMIF Z 高阻	2E	3E+4P	ns
7	td(RSTH-EMIFZV) 延迟时间，$\overline{RESET}$ 高到 EMIF Z 高阻	16E	8P+20E	ns
8	td(RSTL-EMIFHIV) 延迟时间，$\overline{RESET}$ 低到 EMIF 高组无效	2E		ns
9	td(RSTH-EMIFHV) 延迟时间，$\overline{RESET}$ 高到 EMIF 高组有效		8P+20E	ns
10	td(RSTL-EMIFLIV) 延迟时间，$\overline{RESET}$ 低到 EMIF 低组无效	2E		ns
11	td(RSTH-EMIFLV) 延迟时间，$\overline{RESET}$ 高到 EMIF 低组有效		8P+20E	ns
12	td(RSTL-LOWIV) 延迟时间，$\overline{RESET}$ 低到低组无效	0		ns
13	td(RSTH-LOWV) 延迟时间，$\overline{RESET}$ 高到低组有效		11P	ns
14	td(RSTL-ZHZ) 延迟时间，$\overline{RESET}$ 低到 Z 组高阻抗	0		ns
15	td(RSTH-ZV) 延迟时间，$\overline{RESET}$ 高到 Z 组有效	2P	8P	ns

（1）P= 1/CPU 时钟频率 ns，例如，运行在 720MHz，P= 1.39ns。

（2）E=EMIF 输入时钟（AECLKIN，CPU/4，或者 CPU/6）ns EMIFA。

（3）EMIF Z 组成：AEA[22:3]，AED[63:0]，$\overline{ACE}[3:0]$,$\overline{ABE}[7:0]$ ，

$\overline{AARE}/\overline{ASDCAS}/\overline{ASADS}/\overline{ASRE}$ $\overline{AAWE}/\overline{ASDWE}/\overline{ASWE}$

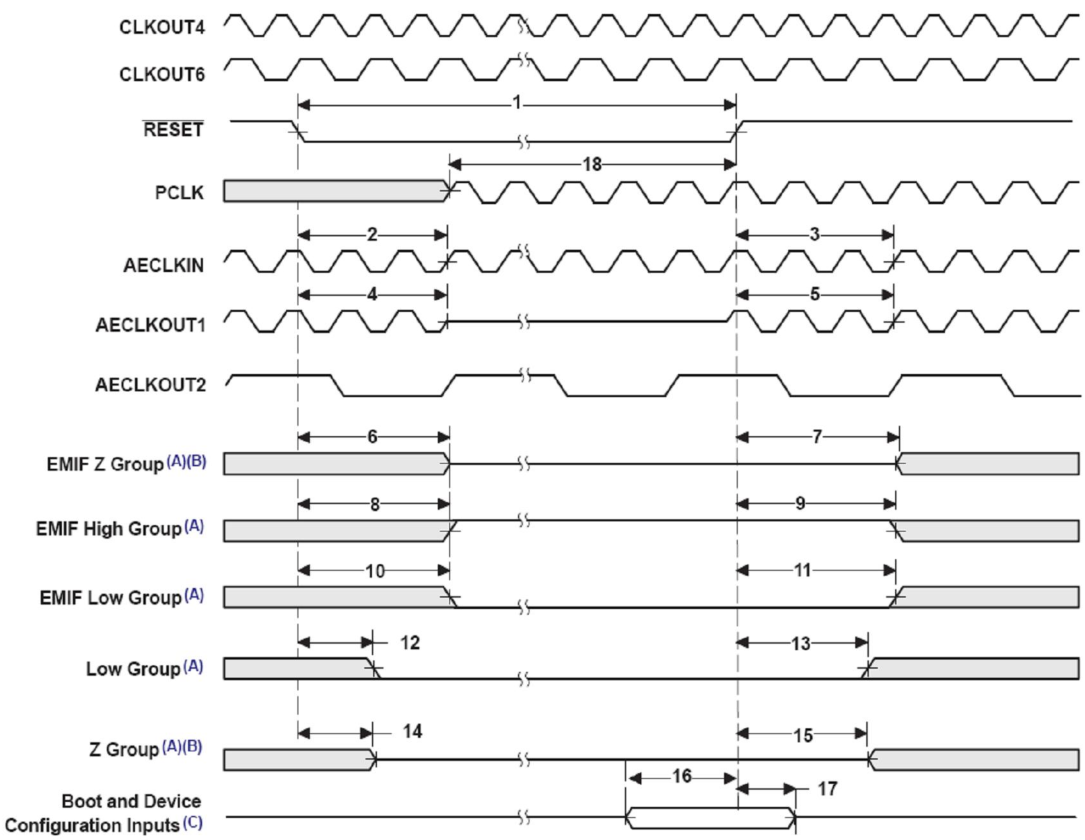
$\overline{AAOE}/\overline{ASDRSA}/\overline{ASOE}$,$\overline{ASOE3}$ ，ASDCKE，和 APDT。

EMIF 高组组成：$\overline{AHOLDA}$ （当对应的 $\overline{HOLD}$ 输入为高）。

EMIF 低组组成：ABUSREQ，$\overline{AHOLDA}$（当对应的 $\overline{HOLD}$ 输入为低）。

低电平组组成：XSP_CS，XSP_CLK/MDCLK，和 XSP_DO/MDIO 所有这些的应用必须在 PCI EEPROM 允许的情况下（PCI_EN=1 和 MSBSP2_EN=0）。否则，XSP_CLK/MDCLK 和 XSP_DO/MDIO 引脚属于 Z 组。PCI 的引脚配置，参考设备配置章节。

Z 组组成：HD[31:0]/AD[31:0] 和 EMAC 输出引脚，XSP_CLK/MDCLK，XSP_DO/MDIO，VP0D[2]/CLKX0，VP1D[2]/CLKX1，VP0D[3]/FSX0，VP1D[3]/FSX1，VP1D[3]/FSX1，VP0D[4]/DX1，VP0D[8]/CLKR1，VP0D[7]/FSR0，VP1D[7]/FSR1，TOUT0，TOUT1，VDAC/GP0[8]/$\overline{PCI66}$，GP0[7:0]，GP0[10]/$\overline{PCBE3}$，HR/$\overline{W}$/$\overline{PCBE2}$，$\overline{HDS2}$/$\overline{PCBE1}$，$\overline{PCBE0}$，GP0[13]/$\overline{PINTA}$，GP0[11]/$\overline{PREQ}$，$\overline{HDST}$/$\overline{PSERR}$，$\overline{HCS}$/$\overline{PPERR}$，HCNTL1/$\overline{PDEVSEL}$，$\overline{HAS}$/PPAR，HCNTL0/$\overline{PSTOP}$，HHWIL/$\overline{PSTOP}$，HHWIL/$\overline{PTRDY}$（16 位 HPI 模式），$\overline{HRDY}$/$\overline{PIRDY}$，$\overline{HINT}$/$\overline{PFRAME}$，VP0D[19:9,6,5,1,0]，VP1D[19:9,6,5,1,0]，和 VP2D[19:0]。



A. EMIF Z组成：AEA[22:3]，AED[63:0]，$\overline{ACE}[3:0]$，$\overline{ABE}[7:0]$，

$\overline{AARE}/\overline{ASDCAS}/\overline{ASADS}/\overline{ASRE}$ $\overline{AAWE}/\overline{ASDWE}/\overline{ASWE}$

$\overline{AAOE}/\overline{ASDRSA}/\overline{ASOE}$，$\overline{ASOE3}$，ASDCKE，和 APDT。

EMIF高组组成：$\overline{AHOLDA}$（当对应的$\overline{HOLD}$输入为高）。

EMIF低组组成：ABUSREQ，$\overline{AHOLDA}$（当对应的$\overline{HOLD}$输入为低）。

低电平组组成：XSP_CS，XSP_CLK/MDCLK，和 XSP_DO/MDIO所有这些的应用必须在 PCI EEPROM 允许的情况下（PCI_EN= 1和 MSBSP2_EN= 0）。否则，XSP_CLK/MDCLK和 XSP_DO/MDIO引脚属于 Z组。PCI的引脚配置，参考设备配置章节。

Z组组成：HD[31:0]/AD[31:0]和 EMAC输出引脚，XSP_CLK/MDCLK，XSP_DO/MDIO，VP0D[2]/CLKX0，VP1D[2]/CLKX1，VP0D[3]/FSX0，VP1D[3]/FSX1，VP1D[3]/FSX1，VP0D[4]/DX1，VP0D[8]/CLKR1，VP0D[7]/FSR0，VP1D[7]/FSR1，TOUT0，TOUT1，VDAC/GP0[8]/$\overline{PCI66}$，

GP0[7:0]，GP0[10]/$\overline{PCBE3}$，HR/$\overline{W}$/$\overline{PCBE2}$，$\overline{HDS2}$/$\overline{PCBE1}$，$\overline{PCBE0}$，

GP0[13]/$\overline{PINTA}$，GP0[11]/$\overline{PREQ}$，$\overline{HDST}$/$\overline{PSERR}$，$\overline{HCS}$/$\overline{PPERR}$，HCNTL1/$\overline{PDEVSEL}$，

$\overline{HAS}$ /PPAR，HCNTL0/$\overline{PSTOP}$，HHWIL/$\overline{PSTOP}$，HHWIL/$\overline{PTRDY}$（16位 HPI模式），

$\overline{HRDY}$ / $\overline{PIRDY}$ ， $\overline{HINT}$ / $\overline{PFRAME}$ ， VP0D[19:9,6,5,1,0]， VP1D[19:9,6,5,1,0]，和 VP2D[19:0]。

B. 如果 AEA[22:19]，LENDIAN，PCIEEAI，和 HD5/AD5引脚被驱动激活，必须保证在参数 6，7，14，15，16和 17之间没有时序争夺。

C. BOOT和设备配置输入（在复位期间）包括：AEA[22:19]，LENDIAN，PCIEEAI，和 HD5/AD5，PCI_EN引脚必须每次被有效驱动并且在设备操作期间不允许变换它们的值。

图 5－9 复位时序（A）

5.7 时钟倍频 PLL

PLL控制器的特征是硬件配置 PLL倍频控制器，分频（/2./4,/6和 /8）以及复位控制器。PLL控制器允许 CLKIN引脚时钟输入，但由 CLKMODE[1:0]引脚的逻辑状态决定。最后得到的时钟输入到 DSP核，外围和其它的 DSP模块。

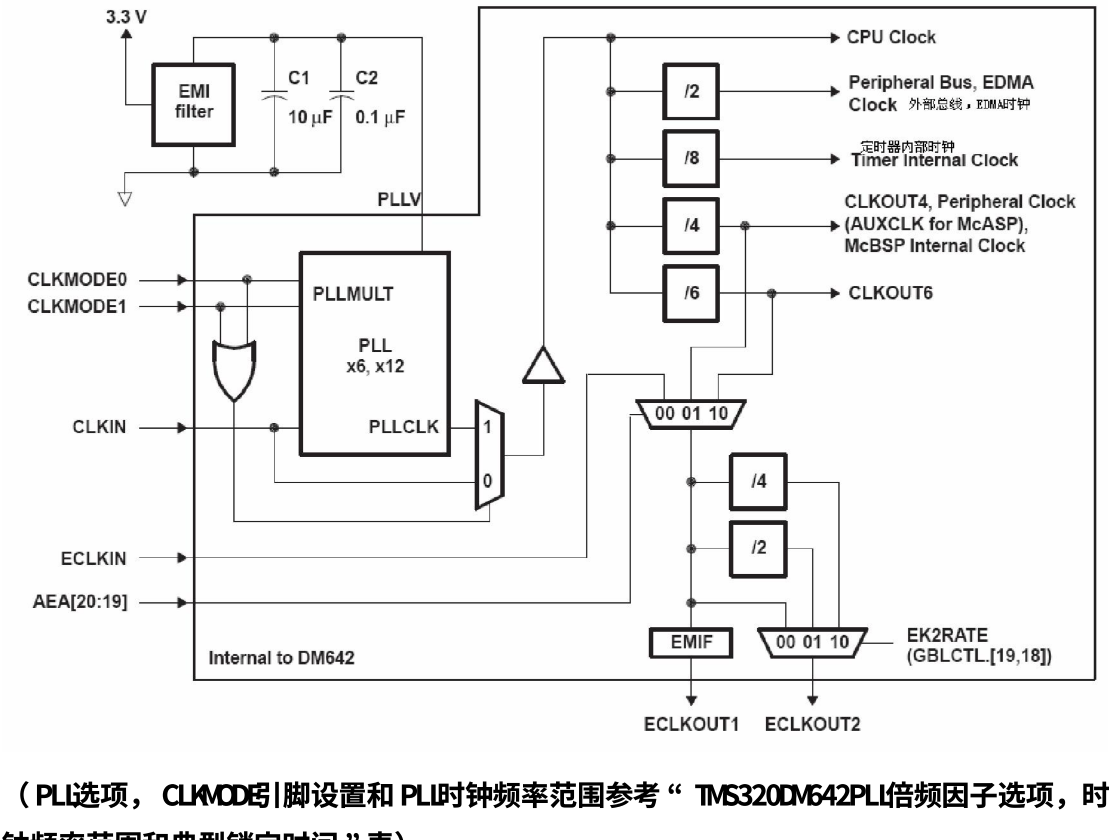
5.7.1 时钟 PLL设备细节信息

绝大多数 C64x DSP内部时钟来自 CLKIN引脚的单个时钟源。这个时钟驱动 PLL，乘以倍频因子产生内部 CPU时钟或者直接通过 PLL产生内部 CPU时钟。

为了使用 PLL产生 CPU时钟，外部的 PLL滤波电路必须设计好。图 5— 10说明了外部 PLL电路，有×1（PLL旁路）和 PLL倍频模式。

要得到时钟抖动最小，必须有干净的电源为 C64x DSP和外部的晶振电路供电。最小的 CLKIN上升和下降时间也要考虑。输入时钟时序要求细节参考输入和输出时钟电路章节。

上升 /下降时间，占空比（高低脉冲宽度）和外部时钟源的负载电容必须满足本数据手册 DSP 要求（参考供电和操作温度表以及输入和输出时钟电气参数章节）。



（PLL选项，CLKMODE引脚设置和 PLL时钟频率范围参考“TMS320DM642PLL倍频因子选项，时钟频率范围和典型锁定时间”表）

注意：尽量把 PLL外部元件（C1,C2,和 EMI滤波器）靠近 C6000 DSP。为了得到最好性能，TI推荐所有的 PLL外部元件放在板子的一边并不要用跳线帽，开关或者类似的元器件。

为了减小 PLL的抖动，信号线和 PLL外部元件（C1，C2和 EMI滤波器）之间应该保留最大的空

间。

EMI滤波器的 3.3V供电必须使用和 I/O一样的 3.3V供电源，D_{VDD}。

EMI滤波器厂家 TDK部分型号：ACF451832-333，-223，-153，-103。松下：EXCCET103U。

图 5–10 外部 PLL电路，旁路或者倍频模式

表 5–12 TMS320DM642 PLL倍频因子选项，时钟频率范围和典型锁定时间 (1) (2)

<table>
<tr><td colspan="8">GDK 和 ZDK 封装 – 23 x 23 mm BGA,
GNZ 和 ZNZ 封装 – 27 x 27 mm BGA</td></tr>
<tr><td>CLKMODE1</td><td>CLKMODE2</td><td>CLKMODE (PLL倍频因子)</td><td>CLKIN范围（MHZ）</td><td>CPU时钟频率范围（MHZ）</td><td>CLKOUT4 范围（MHZ）</td><td>CLKOUT6 范围（MHZ）</td><td>典型锁定时间（us）(3)</td></tr>
<tr><td>0</td><td>0</td><td>旁路（×1）</td><td>30–75</td><td>30–75</td><td>7.5–18.8</td><td>5–12.5</td><td>N/A</td></tr>
<tr><td>0</td><td>1</td><td>×6</td><td>30–75</td><td>180–400</td><td>45–122.5</td><td>30–75</td><td rowspan="2">75</td></tr>
<tr><td>1</td><td>0</td><td>×12</td><td>30–50</td><td>360–600</td><td>90–150</td><td>60–100</td></tr>
<tr><td>1</td><td>1</td><td>保留</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td></tr>
</table>

（1）这些时钟频率范围值适用于 DM642–600速度器件。–500和–720器件速度值参考 CLKIN 时钟要求表里面的器件速度解释。

（2）在 CLKMODE引脚（CLKMODE1和 CLKMODE0）使用外部上拉电阻使 DM642器件置于有效的 PLL 倍频时钟模式之一（×6或×12）。通过 CLKMODE引脚（CLKMODE1和 CLKMODE0）内部下拉电阻，默认时钟模式是旁路×1。

（3）在某些工作条件下，最大 PLL锁定时间可能超过典型值的 150%。例如，如果典型锁定时间是 100us，最大的值可能达到 250us。

5.7.2 时钟 PLL电气参数/时序（输入和输出时钟）

表 5–13 –500器件 CLKIN时序要求 (1) (2) (3) （参考图 5–11）

<table>
<tr><td rowspan="3">NO.</td><td rowspan="3"></td><td colspan="6">-500</td><td rowspan="3">单位</td></tr>
<tr><td colspan="2">PLL ×12</td><td colspan="2">PLL×6</td><td colspan="2">×1 (旁路)</td></tr>
<tr><td>MIN</td><td>MAX</td><td>MIN</td><td>MAX</td><td>MIN</td><td>MAX</td></tr>
<tr><td>1</td><td>$t_{c(CLKIN)}$ 周期时间，CLKIN</td><td>24</td><td>33.3</td><td>13.3</td><td>33.3</td><td>13.3</td><td>33.3</td><td>ns</td></tr>
<tr><td>2</td><td>$t_{w(CLKINL)}$ 脉冲宽度，CLKIN 低</td><td>0.45C</td><td></td><td>0.45C</td><td></td><td>0.45C</td><td></td><td>ns</td></tr>
<tr><td>3</td><td>$t_{w(CLKINH)}$ 脉冲宽度，CLKIN 高</td><td>0.45C</td><td></td><td>0.45C</td><td></td><td>0.45C</td><td></td><td>ns</td></tr>
<tr><td>4</td><td>$t_{t(CLKIN)}$ 转换时间，CLKIN</td><td></td><td>5</td><td></td><td>5</td><td></td><td>1</td><td>ns</td></tr>
</table>

5	$tJ_{(CLKIN)}$ 周期抖动，CLKIN	0.02C	0.02C	0.02C	ns

（1） 上升和下降的转换参考点通过 VIL MAX和 VIH MIN测量出来。

（2） 更多的 PLL倍频因子（× 6, × 12）细节参考时钟 PLL章节。

（3） C=CLKIN 周期 ns。例如，当 CLKIN频率是 50MHZ, C= 20ns。

表 5－ 14 － 600器件 CLKIN时序要求[1][2][3]（参考图 5－ 11）

NO.		-600			单位
		PLL × 12	PLL× 6	× 1 (旁路)	
		MIN MAX	MIN MAX	MIN MAX	
1	$tc_{(CLKIN)}$ 周期时间，CLKIN	20 33.3	13.3 33.3	13.3 33.3	ns
2	$tw_{(CLKINL)}$ 脉冲宽度，CLKIN 低	0.45C	0.45C	0.45C	ns
3	$tw_{(CLKINH)}$ 脉冲宽度，CLKIN 高	0.45C	0.45C	0.45C	ns
4	$tt_{(CLKIN)}$ 转换时间，CLKIN	5	5	1	ns
5	$tJ_{(CLKIN)}$ 周期抖动，CLKIN	0.02C	0.02C	0.02C	ns

（1） 上升和下降的转换参考点通过 VIL MAX和 VIH MIN测量出来。

（2） 更多的 PLL倍频因子（× 6, × 12）细节参考时钟 PLL章节。

（3） C=CLKIN 周期 ns。例如，当 CLKIN频率是 50MHZ, C= 20ns。

表 5－ 15 － 720器件 CLKIN时序要求[1][2][3]（参考图 5－ 11）

NO.		-600			单位
		PLL × 12	PLL× 6	× 1 (旁路)	
		MIN MAX	MIN MAX	MIN MAX	
1	$tc_{(CLKIN)}$ 周期时间，CLKIN	16.6 33.3	13.3 33.3	13.3 33.3	ns
2	$tw_{(CLKINL)}$ 脉冲宽度，CLKIN 低	0.45C	0.45C	0.45C	ns
3	$tw_{(CLKINH)}$ 脉冲宽度，CLKIN 高	0.45C	0.45C	0.45C	ns
4	$tt_{(CLKIN)}$ 转换时间，CLKIN	5	5	1	ns
5	$tJ_{(CLKIN)}$ 周期抖动，CLKIN	0.02C	0.02C	0.02C	ns

（1） 上升和下降的转换参考点通过 VIL MAX和 VIH MIN测量出来。

（2） 更多的 PLL倍频因子（× 6, × 12）细节参考时钟 PLL章节。

（3） C=CLKIN 周期 ns。例如，当 CLKIN频率是 50MHZ, C= 20ns。

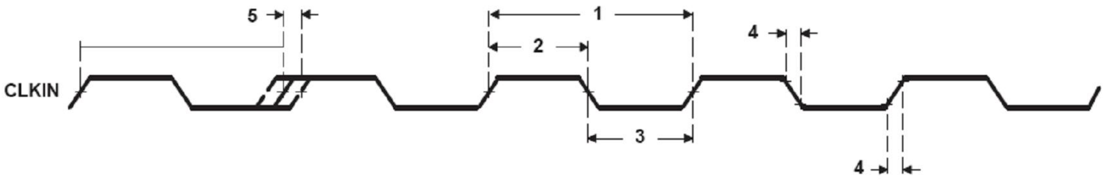


图 5–11 CLKIN时序

表 5–16 推荐操作条件下的 CLKOUT4转换特征 (1) (2) (3) （见图 5–12）

NO.	参数	–500 –600 –720		单位
		CLKMODE=×1，×6，×12		
		MIN	MAX	
1	$t_{w(CKO4H)}$ 脉冲宽度，CLKOUT4 高	2P-0.7	2P+0.7	ns
2	$t_{w(CKO4L)}$ 脉冲宽度，CLKOUT4 高	2P-0.7	2P+0.7	ns
3	$t_{t(CKO4)}$ 转换时间，CLKOUT4		1	ns

（1） 上升和下降的转换参考点通过 VIL MAX和 VIH MIN测量出来。

（2） PH是 CLKIN高周期，PL是 CLKIN’的低周期。

（3） P=1/CPU时钟频率 ns。

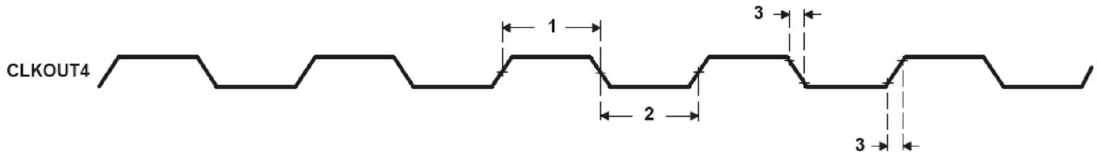


图 5–12 CLKOUT4 时序

表 5–17 推荐操作条件下的 CLKOUT6转换特征 (1) (2) (3) （见图 5–13）

NO.	参数	–500 –600 –720		单位
		CLKMODE=×1，×6，×12		
		MIN	MAX	
1	$t_{w(CKO6H)}$ 脉冲宽度，CLKOUT6 高	3P-0.7	3P+0.7	ns
2	$t_{w(CKO6L)}$ 脉冲宽度，CLKOUT6 高	3P-0.7	3P+0.7	ns
3	$t_{t(CKO6)}$ 转换时间，CLKOUT6		1	ns

（1） 上升和下降的转换参考点通过 VIL MAX和 VIH MIN测量出来。

（2） PH是 CLKIN高周期，PL是 CLKIN’的低周期。

（3） P=1/CPU时钟频率 ns。

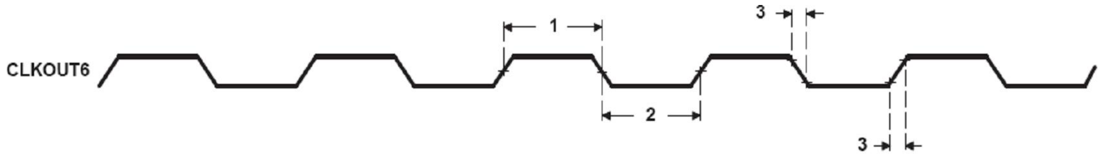


图 5—13 CLKOUT6时序

表 5—18 EMIFA的 AECLKIN时序要求 (1) (2) (3) （见图 5—14）

NO.		—500 —600 —720		单位
		MIN	MAX	
1	$t_{c(EKI)}$ 周期时间，AECLKIN	6(4)	16P	ns
2	$t_{w(EKIH)}$ 脉冲宽度，AECLKIN 高	2.7		ns
3	$t_{w(EKIL)}$ 脉冲宽度，AECLKIN 低	2.7		ns
4	$t_{t(EKI)}$ 转换时间，AECLKIN		3	ns
5	$t_{J(EKI)}$ 周期抖动，AECLKIN		0.02E	ns

（1） P= 1/CPU时钟频率 ns，例如，运行在 720MHz，P= 1.39ns。

（2） 上升和下降的转换参考点通过 VIL MAX和 VIH MIN测量出来。

（3） 在 EMIFA下 E=EMIF输入时钟（AECLKIN，CPU/4，或者 CPU/6时钟）周期

（4） 最小的 AECLKIN周期时间必须合适，甚至当 AECLKIN由内部的时钟源产生。最小 AECLKIN是基于内部的逻辑速度，EMIF的最大可用速度可能比较低，这归因于 AC的时序要求。对于 600和 720器件，如果 EMIF器件速度合适，则可以工作在 133MHz。对于 500的器件，如果 EMIF器件速度合适，则可以工作在 100MHz。

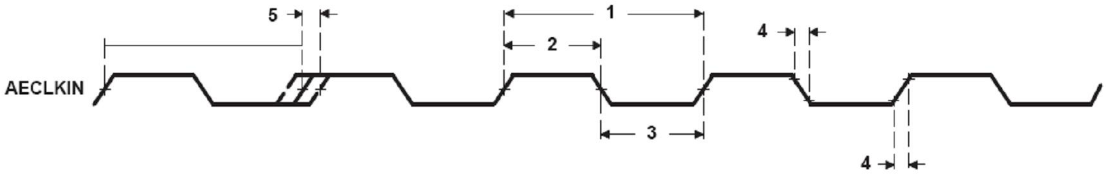


图 5—14 EMIFA的 AECLKIN时序

表 5—19 推荐操作条件下的 EMIFA模块的 AECLKOUT1转换特征 (1) (2) (3) （见图 5—15）

NO.	参数	—500 —600 —720		单位
		MIN	MAX	
1	$t_{w(EKO1H)}$ 脉冲宽度，AECLKOUT1高	EH-0.7	EH+0.7	ns

2	tw(EKO1L) 脉冲宽度，AECLKOUT1低	EH-0.7 EH+0.7		ns
3	tt(EKO1) 转换时间，AECLKOUT1		1	ns
4	td(EKIH-EKO1H) 延时时间， AECLKIN高到 AECLKOUT1高	1	8	ns
5	td(EKIL-EKO1L) 延时时间， AECLKIN低到 AECLKOUT1低	1	8	ns

（1）在 EMIFA下 E=EMIF输入时钟（AECLKIN，CPU/4，或者 CPU/6时钟）周期

（2）上升和下降的转换参考点通过 VIL MAX和 VIH MIN测量出来。

（3） EMIFA模块的 EH是 E的高电平周期（EMIF输入时钟周期）ns，EL是低电平周期（EMIF 输入时钟周期）ns。

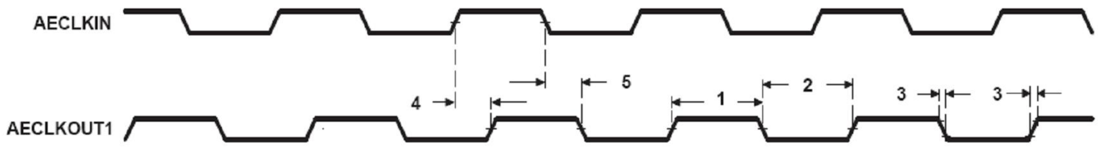


图 5－15 EMIFA模块的 AECLKOUT1时序

表 5－20 推荐操作条件下的 EMIFA模块的 AECLKOUT2转换特征 [1] [2] [3] （见图 5－16）

NO.	参数	－500 －600 －720 MIN	MAX	单位
1	tw(EKO2H) 脉冲宽度，AECLKOUT2高	0.5NE-0.7 0.5NE+0.7		ns
2	tw(EKO2L) 脉冲宽度，AECLKOUT2低	0.5NE-0.7 0.5NE+0.7		ns
3	tt(EKO2) 转换时间，AECLKOUT2		1	ns
4	td(EKIH-EKO2H) 延时时间， AECLKIN高到 AECLKOUT2高	1	8	ns
5	td(EKIL-EKO2L) 延时时间， AECLKIN低到 AECLKOUT2低	1	8	ns

（1）上升和下降的转换参考点通过 VIL MAX和 VIH MIN测量出来。

（2）在 EMIFA下 E=EMIF输入时钟（AECLKIN，CPU/4，或者 CPU/6时钟）周期。N=EMIF输入时钟分频，N= 1，2，或者 4.

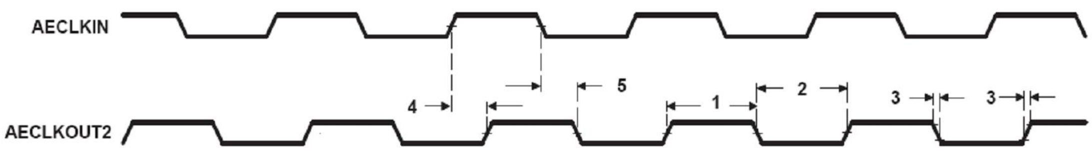


图 5－16 EMIFA模块的 AECLKOUT2时序

5.8 外部存取接口（EMIF）

EMIF支持各种外部设备接口，包括：

- 管道同步 burst SRAM（SBSRAM）
- 同步 DRAM（SDRAM）
- 异步器件，包括 SRAM，ROM和 FIFO
- 外部共享内存设备

5.8.1 EMIF设备的细节信息

EMIF设备速度

这些器件的额定 EMIF速度仅仅满足下面条件的 SDRAM接口的系统：

- 1个片选（最大 2片）允许（CE）的 SDRAM接到 EMIF
- 1个 CE空间的缓冲区接到 EMIF
- EMIF的接线长度在 1－3英寸之间
- 133MHz工作条件下用 166MHz SDRAM
- 100MHz工作条件下用 143MHz SDRAM

其它的配置也有可能，但是要时序分析必要都要满足 AC时序。当使用的配置不同于上面的，AC时序验证是强制的。TI推荐利用 I/O缓冲器信息规格（IBIS）分析 AC时序。

在给定系统上合适使用 IBIS模块获得准确的时序分析，参考使用 IBIS模块做时序分析应用报告（文献号 SPRA839）。

为了保持信号完整性，要串联电阻到 EMIF输出信号线上。（参考 EMIF输出信号的末端功能表）。

DM642 EMIF外围的细节信息，参考 TMS320C6000 DSP外部内存接口（EMIF）（文献号 SPRU266）。

5.8.2 EMIF外围寄存器描述

表 5－21 EMIFA寄存器

16为地址范围	缩写	寄存器名称	备注
01800000	GBLCTL	EMIFA全局控制	
01800004	CECTL1	EMIFA CE1空间控制	
01800008	CECTL0	EMIFA CE0空间控制	
0180000C	—	保留	
01800010	CECTL2	EMIFA CE2空间控制	
01800014	CECTL3	EMIFA CE3空间控制	
01800018	SDCTL	EMIFA SDRAM控制	
0180001C	SDTIM	EMIFA SDRAM更新控制	

01800020	SDEXT	EMIFA SDRAM扩展	
01800024-0180003C	—	保留	
01800040	PDTCTL	外部设备转换控制（PDT）	
01800044	CESEC1	EMIFA CE1空间第二级控制	
01800048	CESEC0	EMIFA CE0空间第二级控制	
0180004C	—	保留	
01800050	CESEC2	EMIFA CE2空间第二级控制	
01800054	CESEC3	EMIFA CE3空间第二级控制	
01800058-0183FFFF	—	保留	

5.8.3 EMIF电气参数和时序

5.8.3.1 异步存取时序

表 5—22 EMIFA模块的异步存取周期时序（参考图 5—17和图 5—18）

NO.		－500 －600 －720		单位
		MIN	MAX	
3	$t_{su(EDV-AREH)}$ 建立时间，AEDx有效在 AARE高有效 6.5ns之前	6.5		ns
4	$t_{h(AREH-EDV)}$ 保持时间，AEDx有效在 AARE高有效 1ns之后	1		ns
6	$t_{su(ARDY-EKO1H)}$ 建立时间，AARDY有效，在 AECLKOUTx高有效 3ns之后	3		ns
7	$t_{h(EKO1H-ARDY)}$ 保持时间，AARDY有效，在 AECLKOUTx高有效之后	2.5		ns

（1） 为了保证数据建立时间，可设置门宽度时间足够大。AARDY是内部同步。AARDY信号在设置的门槛时间结束之前的两个周期以后才能被识别，当 AARDY为低，门槛时间被一个周期一个周期的延长。当 AARDY被为低，一旦 AARDY被识别为高，门槛时间结束时间是 2个周期。使用 AARDY作为异步输入，为了确保建立时间和保持时间合适 AARDY信号的脉宽应该足够大（例如，脉宽＝2E）

（2） RS＝读取建立，RST＝读取门槛，RH读取保持，WS＝写建立，WST＝写门槛，WH＝写保持。这些参数是通过 EMIF CE空间的控制寄存器片配置的。

表 5—23 推荐工作条件下 EMIFA模块的异步存取周期的转换特性（1）（2）（3）（参考图 5—17和图 5—18）

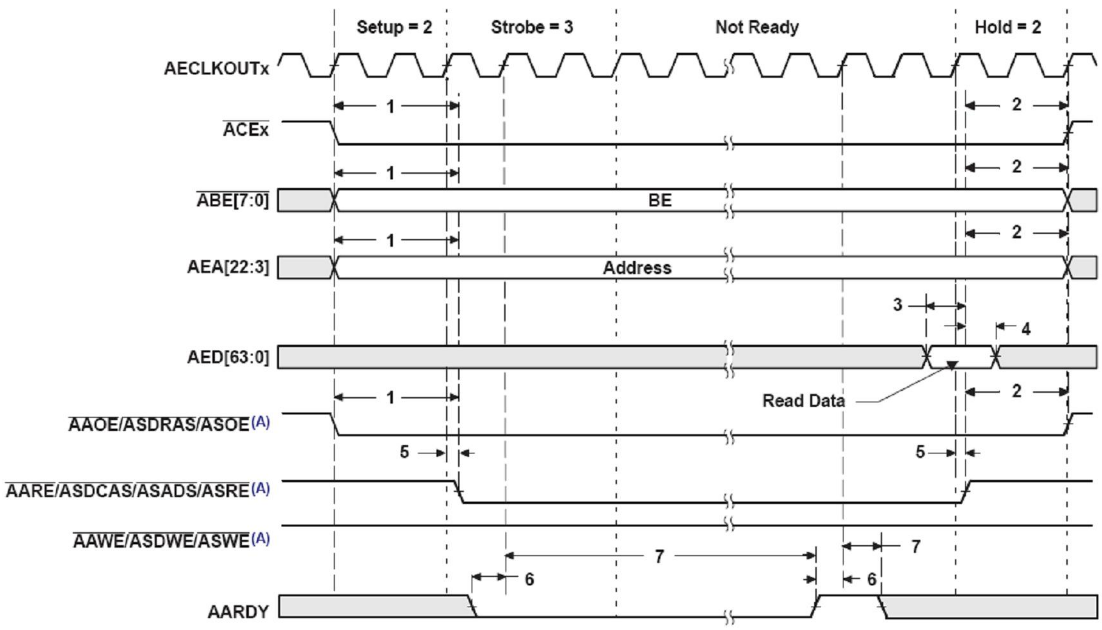
NO.	参数	－500 －600 －720		单位
		MIN	MAX	
1	$t_{osu(SELV-AREL)}$ 输出建立时间，选择信号有效直到 AARE为低	RS*E-1.8		ns
2	$t_{oh(AREH-SELIV)}$ 输出保持时间，AARE高直到选择信号无效	RS*E-1.9		ns

5	td$_{(EKO1H-AREV)}$ 延迟时间，AECLKOUTx高直到AARE有效	1 7	ns
8	tosu$_{(SELV-AWEL)}$ 输出建立时间，选择信号有效直到AAWE为低	WS*E-2.0	ns
9	toh$_{(AWEH-SELIV)}$ 输出保持时间，AAWE高直到选择信号无效	WS*E-2.5	ns
10	td$_{(EKO1H-AWEV)}$ 延迟时间，AECLKOUTx高直到AAWE有效	1.3 7.1	ns

（1） RS=读取建立，RST=读取门槛，RH=读取保持，WS=写建立，WST=写门槛，WH=写保持。这些参数是通过EMIF CE空间的控制寄存器片配置的。

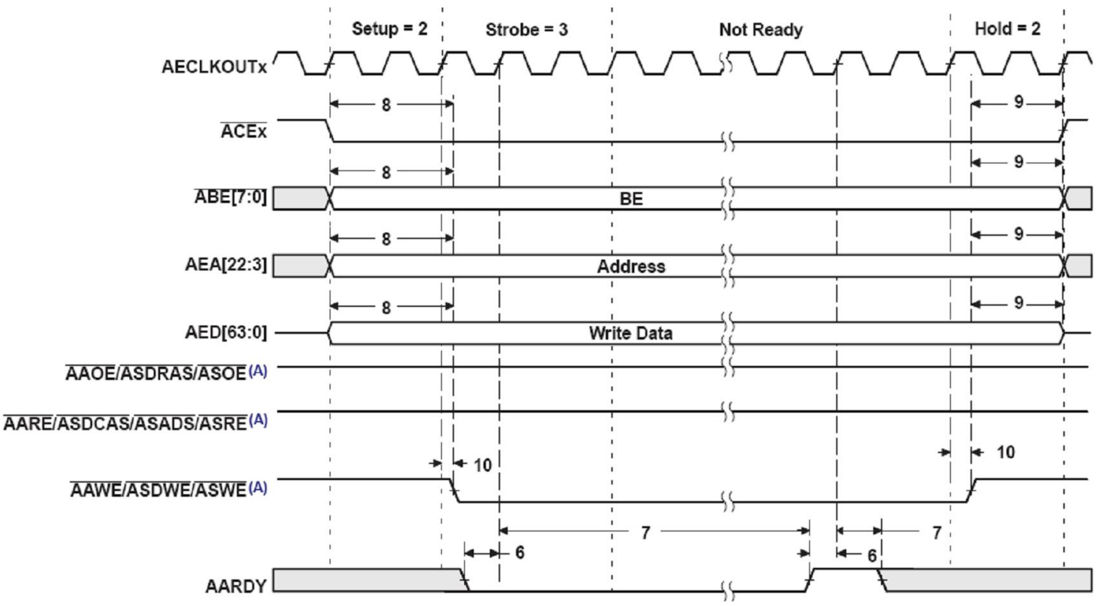
（2） EMIFA模块 E=AECLKOUT1周期 ns。

（3） EMIFA模块选择信号包括ACEx，ABE[7:0]，AEA[22:3]，AAOE，和在 EMIFA 写状态下AED[63:0]。



A． $\overline{AAOE}/\overline{ASDRAS}/\overline{ASOE}$，$\overline{AARE}/\overline{ASDCAS}/\overline{ASADS}/\overline{ASRE}$，和 $\overline{AAWE}/\overline{ASDWE}/\overline{ASWE}$ 操作当 $\overline{AAOE}$（选择信号下确定），$\overline{AARE}$ 和 $\overline{AAWE}$ 各自在异步存取访问下工作。

图 5–17 EMIFA模块异步存取读时序



A． $\overline{AAOE}/\overline{ASDRAS}/\overline{ASOE}$，$\overline{AARE}/\overline{ASDCAS}/\overline{ASADS}/\overline{ASRE}$，和 $\overline{AAWE}/\overline{ASDWE}/\overline{ASWE}$ 操作当 $\overline{AAOE}$（选择信号下确定），$\overline{AARE}$ 和 $\overline{AAWE}$ 各自在异步存取访问下工作。

图 5–18 EMIFA模块异步存取写时序

5.8.3.2 可编程同步接口时序

表 5–24 EMIFA模块的可编程同步接口周期的时序要求（参考图 5–19）

NO.		－500，A–600		－600 －720		单位
		MIN	MAX	MIN	MAX	
6	tsu(EDV-EKOxH) 建立时间，AEDx读有效在AECLKOUTx高有效之前	3.1		2		ns
7	th(EKOxH-EDV) 保持时间，AEDx读有效在AECLKOUTx高有效之后	1.8		1.5		ns

表 5–25 推荐工作条件下 EMIFA模块的可编程同步接口周期的转换特性[1]（参考图 5–19–图 5–21）

NO.	参数	－500，A–600		－600 －720		单位
		MIN	MAX	MIN	MAX	
1	td(EKOxH-CEV)延迟时间，AECLKOUTx高直到ACEx有效	1.1 6.4		1.1 4.9		ns
2	td(EKOxH-BEV) 延迟时间，AECLKOUTx高直到ABEx有效		6.4		4.9	ns
3	td(EKOxH-BEIV) 延迟时间，AECLKOUTx高直到ABEx无效	1.1		1.1		ns

4	$t_{d(EKOxH-EAV)}$ 延迟时间，AECLKOUTx高直到AEAx有效	6.4	4.9	ns
5	$t_{d(EKOxH-EAIV)}$ 延迟时间，AECLKOUTx高直到AEAx无效	1.1	1.1	ns
8	$t_{d(EKOxH-ADSV)}$ 延迟时间，AECLKOUTx高直到ASADS/ASRE有效	1.1 6.4	1.1 4.9	ns
9	$t_{d(EKOxH-OEV)}$ 延迟时间，AECLKOUTx高直到ASOE有效	1.1 6.4	1.1 4.9	ns
10	$t_{d(EKOxH-EDV)}$ 延迟时间，AECLKOUTx高直到AEDx有效	6.4	4.9	ns
11	$t_{d(EKOxH-EDIV)}$ 延迟时间，AECLKOUTx高直到AEDx无效	1.1	1.1	ns
12	$t_{d(EKOxH-WEV)}$ 延迟时间，AECLKOUTx高直到ASWE有效	1.1 6.4	1.1 4.9	ns

（1）下面的参数可以通过 EMIF CE空间第二级控制寄存器（CExSEC）设置

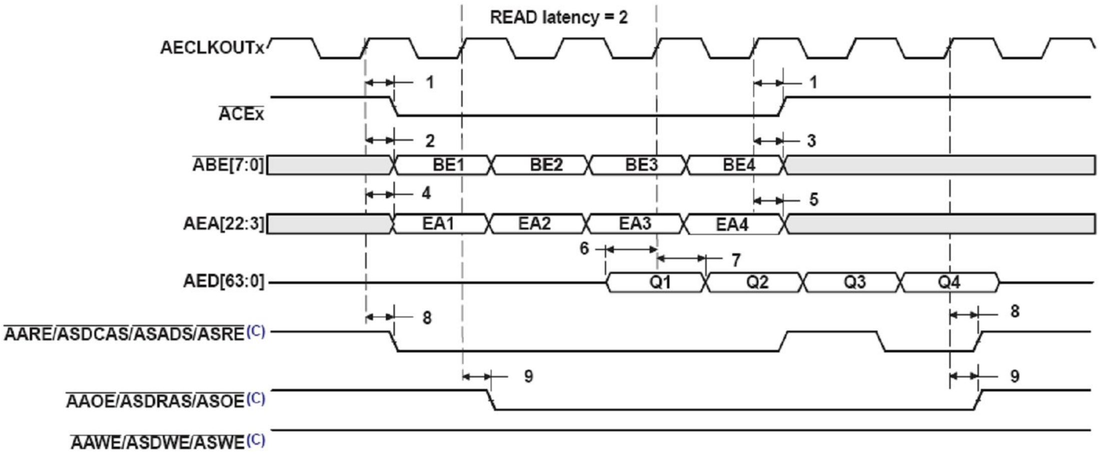
·读等待（SYNCRL），0—，1—，2—，或者 3—周期读等待。

·写等待（SYNCWL），0—，1—，2—，或者 3—周期写等待。

·ACEx声明长度（CEEXT=0）：作为标准的 SBSRAM或者 ZBT SRAM接口，ACEx在最后的指令已经生效（CEEXT=0）之后变为非激活状态。作为同步的 FIFO接口，当 ASOE激活（CEEXT=1）后 ACEx被激活。

·ASADS/ASRE（RENEN)的功能：作为标准的 SBSRAM或者 ZBT SRAM节后 ASADS/ASRE 通过取消选择周期（RENEN=0）担当 ASDAS。作为 FIFO接口，ASADS/ASRE通过选择周期（RENEN=1）担当 ASRE。

·同步时钟（SNCCLK）：同步到 AECLKOUT1 或者 AECLKOUT2。



A. 读等待和 ACEx声明长度可以通过在 EMIFA CE空间的第二级控制寄存器（CExSEC）的 SYNCRL 和 CEEXT设置。在这个图中，SYNCRL=2，CEEXT=0。

B. 下面的参数可以通过 EMIF CE空间第二级控制寄存器（CExSEC）设置

· 读等待（SYNCRL），0−，1−，2−，或者 3−周期读等待。

· 写等待（SYNCWL），0−，1−，2−，或者 3−周期写等待。

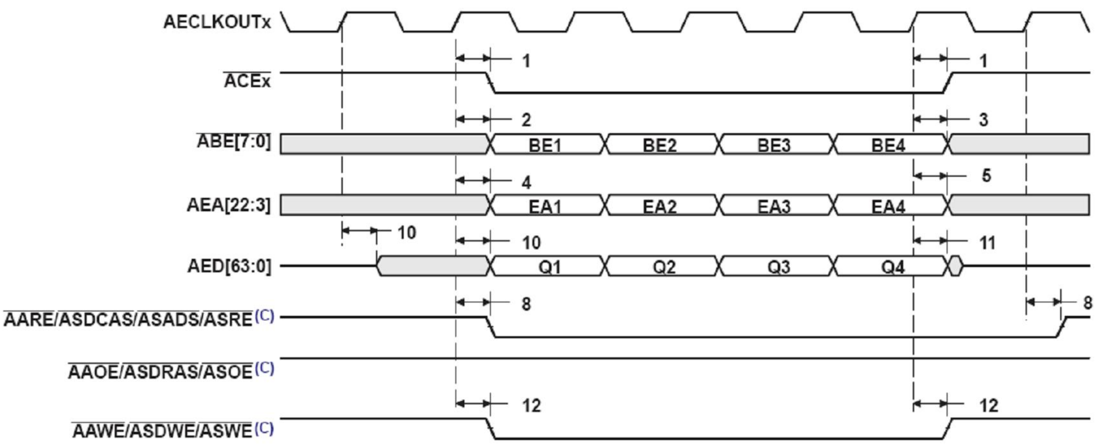
· ACEx声明长度（CEEXT=0）：作为标准的 SBSRAM或者 ZBT SRAM接口，ACEx在最后的指令已经生效（CEEXT=0）之后变为非激活状态。作为同步的 FIFO接口，当 ASOE激活（CEEXT=1）后 ACEx被激活。

· ASADS/ASRE（RENEN)的功能：作为标准的 SBSRAM或者 ZBT SRAM节后 ASADS/ASRE 通过取消选择周期（RENEN=0）担当 ASDAS。作为 FIFO接口，ASADS/ASRE通过选择周期（RENEN=1）担当 ASRE。

· 同步时钟（SNCCLK）：同步到 AECLKOUT1 o或者 AECLKOUT2。

C. AARE/ASDCAS/ASADS/ASRE,，AAOE/ASDRAS/ASOE，和 AAWE/ASDWE/ASWE操作当 ASADS/ASRE，ASOE和 ASWE各自在可编程同步接口访问工作中。

图 5−19 EMIFA模块的可编程同步接口读时序（读等待＝2）(A)(B)



A. 写等待和 $\overline{ACEx}$ 声明长度可以通过在 EMIFA CE空间的第二级控制寄存器（CExSEC）的 SYNCWL和 CEEXT设置。在这个图中，SYNCWL=2，CEEXT=0。

B. 下面的参数可以通过 EMIF CE空间第二级控制寄存器（CExSEC）设置

· 读等待（SYNCRL），0－，1－，2－，或者 3－周期读等待。

· 写等待（SYNCWL），0－，1－，2－，或者 3－周期写等待。

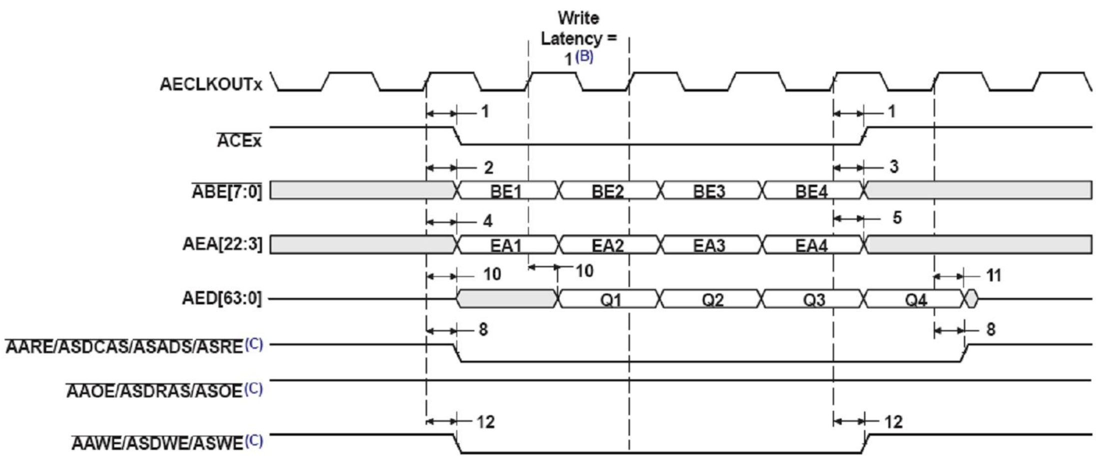
· $\overline{ACEx}$ 声明长度（CEEXT=0）：作为标准的 SBSRAM或者 ZBT SRAM接口，$\overline{ACEx}$ 在最后的指令已经生效（CEEXT=0）之后变为非激活状态。作为同步的 FIFO接口，当 $\overline{ASOE}$ 激活（CEEXT=1）后 $\overline{ACEx}$ 被激活。

· $\overline{ASAD}/\overline{ASRE}$ （RENEN）的功能：作为标准的 SBSRAM或者 ZBT SRAM节后 $\overline{ASAD}/\overline{ASRE}$ 通过取消选择周期（RENEN=0）担当 $\overline{ASDAS}$。作为 FIFO接口，$\overline{ASAD}/\overline{ASRE}$ 通过选择周期（RENEN=1）担当 $\overline{ASRE}$。

· 同步时钟（SNCCLK）：同步到 AECLKOUT1 或者 AECLKOUT2。

C. $\overline{AARE}/\overline{ASDCAS}/\overline{ASADS}/\overline{ASRE}$，$\overline{AAOE}/\overline{ASDRAS}/\overline{ASOE}$，和 $\overline{AAWE}/\overline{ASDWE}/\overline{ASWE}$ 操作当 $\overline{ASADS}/\overline{ASRE}$，$\overline{AAOE}$ 和 $\overline{AAWE}$ 各自在可编程同步接口访问工作中。

图 5－20 EMIFA模块的可编程同步接口写时序（写等待＝0）(A) (B)



A. 写等待和 $\overline{ACEx}$ 声明长度可以通过在 EMIFA CE空间的第二级控制寄存器（CExSEC）的 SYNCWL和 CEEXT设置。在这个图中，SYNCWL=2，CEEXT=0。

B. 下面的参数可以通过 EMIF CE空间第二级控制寄存器（CExSEC）设置

· 读等待（SYNCRL），0－，1－，2－，或者 3－周期读等待。

· 写等待（SYNCWL），0－，1－，2－，或者 3－周期写等待。

· $\overline{ACEx}$ 声明长度（CEEXT=0）：作为标准的 SBSRAM或者 ZBT SRAM接口，$\overline{ACEx}$ 在最后的指

令已经生效（CEEXT=0）之后变为非激活状态。作为同步的 FIFO 接口，当 $\overline{ASOE}$ 激活（CEEXT=1）后 $\overline{ACEx}$ 被激活。

· $\overline{ASAD}/\overline{ASRE}$ (RENEN)的功能：作为标准的 SBSRAM 或者 ZBT SRAM 节后 $\overline{ASAD}/\overline{ASRE}$ 通过取消选择周期（RENEN=0）担当 $\overline{ASDAS}$。作为 FIFO 接口，$\overline{ASAD}/\overline{ASRE}$ 通过选择周期（RENEN=1）担当 $\overline{ASRE}$。

· 同步时钟（SYNCCLK）：同步到 AECLKOUT1 或者 AECLKOUT2。

C． $\overline{AARE}/\overline{ASDCAS}/\overline{ASADS}/\overline{ASRE}$，$\overline{AAOE}/\overline{ASDRAS}/\overline{ASOE}$，和 $\overline{AAWE}/\overline{ASDWE}/\overline{ASWE}$ 操作当 $\overline{ASADS}/\overline{ASRE}$，$\overline{AAOE}$ 和 $\overline{AAWE}$ 各自在可编程同步接口访问工作中。

图 5－21 EMIFA 模块的可编程同步接口写时序（写等待＝1）(A) (B)

5.8.3.3 同步 DARAM 时序

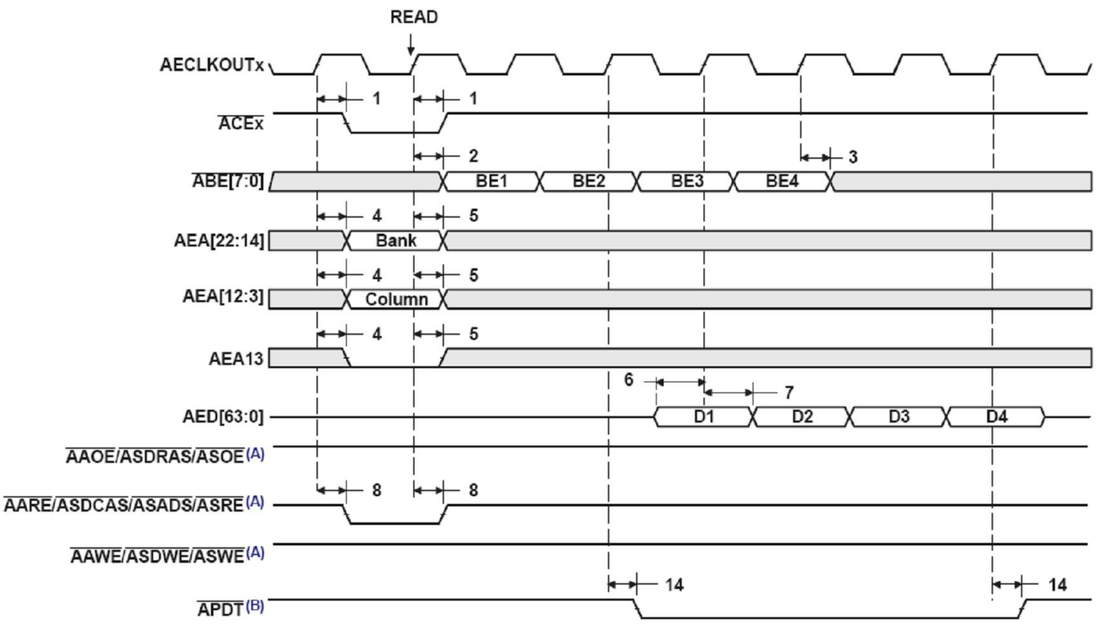
表 5－26 EMIFA 模块同步 DARAM 周期的时序要求（参考图 5－22）

NO.		－500，A－600		－600 －720		单位
		MIN	MAX	MIN	MAX	
6	$t_{su(EDV-EKO1H)}$ 建立时间，AEDx 读有效在 AECLKOUTx 高有效之前	2.1		0.6		ns
7	$t_{h(EKO1H-EDV)}$ 保持时间，AEDx 读有效在 AECLKOUTx 高有效之后	2.8		2.1		ns

表 5－27 推荐工作条件下 EMIFA 模块的同步 DARAM 周期的转换特性 (1)（参考图 5－22－图 5－29）

NO	参数	－500，A－600		－600 －720		单位
		MIN	MAX	MIN	MAX	
1	$t_{d(EKO1H-CEV)}$ 延迟时间，AECLKOUTx 高直到 $\overline{ACEx}$ 有效	1.3	6.4	1.3	4.9	ns
2	$t_{d(EKO1H-BEV)}$ 延迟时间，AECLKOUTx 高直到 $\overline{ABEx}$ 有效		6.4		4.9	ns
3	$t_{d(EKO1H-BEIV)}$ 延迟时间，AECLKOUTx 高直到 $\overline{ABEx}$ 无效	1.3		1.3		ns

4	td(EKO1H-EAV) 延迟时间，AECLKOUTx高直到 AEAx有效	6.4	4.9	ns
5	td(EKO1H-EAIV) 延迟时间，AECLKOUTx高直到 AEAx无效	1.3	1.3	ns
8	td(EKO1H-ADSV) 延迟时间，AECLKOUTx高直到 $\overline{ASDCAS}$ 有效	1.3 6.4	1.3 4.9	ns
9	td(EKO1H-EDV) 延迟时间，AECLKOUTx高直到 AEDx有效	6.4	4.9	ns
10	td(EKO1H-EDIV) 延迟时间，AECLKOUTx高直到 AEDx有效	1.3	1.3	ns
11	td(EKO1H-WEV) 延迟时间，AECLKOUTx高直到 $\overline{ASDWE}$ 无效	1.3 6.4	1.3 4.9	ns
12	td(EKO1H-RAS) 延迟时间，AECLKOUTx高直到 $\overline{ASDRAS}$ 有效	1.3 6.4	1.3 4.9	ns
13	td(EKO1H-ACKEV) 延迟时间，AECLKOUTx高直到 ASDCKE 有效	1.3 6.4	1.3 4.9	ns
14	td(EKO1H-PDTV) 延迟时间，AECLKOUTx高直到 $\overline{APDT}$ 有效	1.3 6.4	1.3 4.9	ns

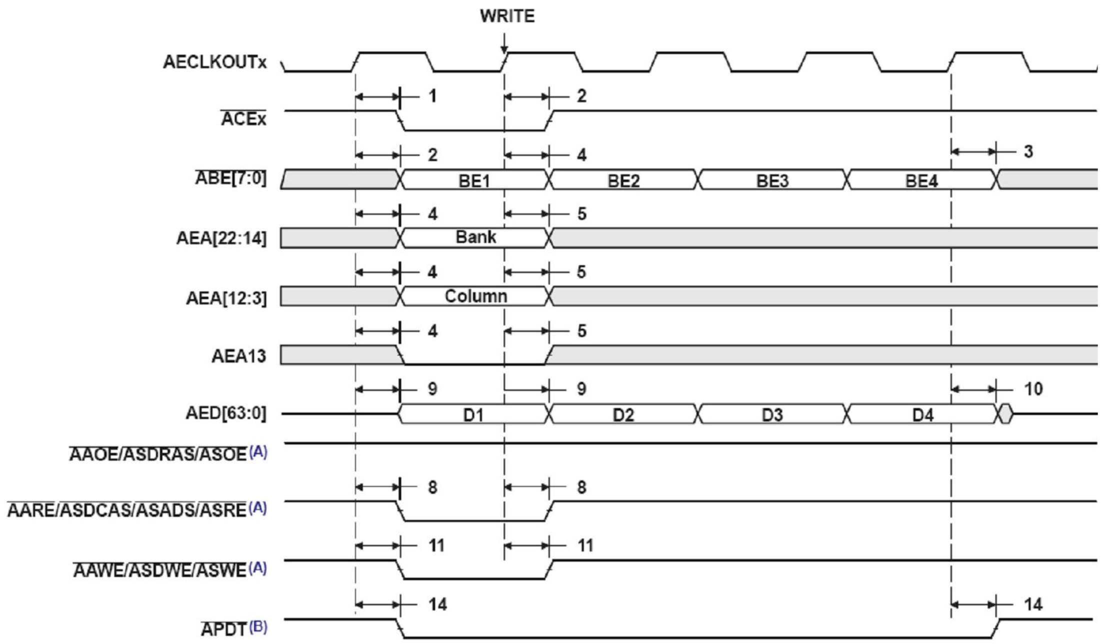


A． $\overline{AARE}/\overline{ASDCAS}/\overline{ASADS}/\overline{ASRE}$ ， $\overline{AAOE}/\overline{ASDRAS}/\overline{ASOE}$ ，和 $\overline{AAWE}/\overline{ASDWE}/\overline{ASWE}$ 操作当 $\overline{ASADS}/\overline{ASRE}$ ， $\overline{AAOE}$ 和 $\overline{AAWE}$ 各自在 SDRAM访问工作中。

B. $\overline{APDT}$ 信号仅在 EDMA在 PDT模式下产生（在 EDMA选项参数 RAM中设置 PDT为为 1）。因为 $\overline{APDT}$ 读操作，在 EMIF中数据不会锁存。PDT控制寄存器（PDTCTL）的 PDTRL区域配置 $\overline{APDT}$

信号相对于读转换数据相位延迟。设置 PDTRL 为 00，01，10 或者 11 可以设置 $\overline{APDT}$ 信号读的延迟为 0，1，2 或者 3。PDTRL 等于 00（0 延迟）如图 5－22。

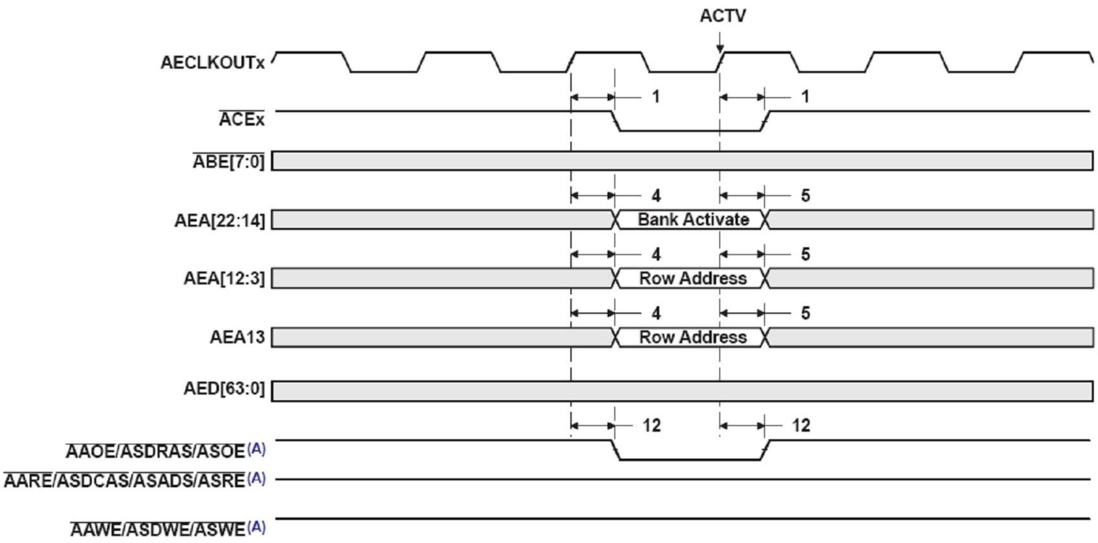
图 5－22 EMIFA 模块 SDRAM 读控制时序（CAS 延时 3）



A． $\overline{AARE}$ / $\overline{ASDCAS}$ / $\overline{ASADS}$ / $\overline{ASRE}$ ，$\overline{AAOE}$ / $\overline{ASDRAS}$ / $\overline{ASOE}$ ，和 $\overline{AAWE}$ / $\overline{ASDWE}$ / $\overline{ASWE}$ 操作当 $\overline{ASDCAS}$ / $\overline{ASDWE}$ ，$\overline{ASDRAS}$ 各自在 SDRAM 访问工作中。

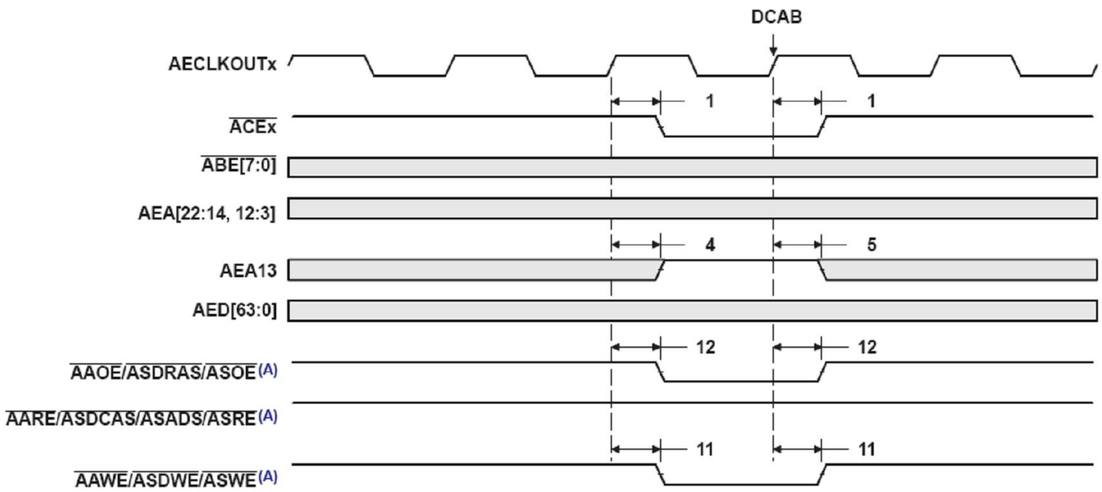
B. $\overline{APDT}$ 信号仅在 EDMA 在 PDT 模式下产生（在 EDMA 选项参数 RAM 中设置 PDT 位为 1）。因为 $\overline{APDT}$ 写操作，数据不被驱动（高阻）。PDT 控制寄存器（PDTCTL）的 PDTWL 区域配置 $\overline{APDT}$ 信号相对于写转换数据相位延迟。设置 PDTWL 为 00，01，10 或者 11 可以设置 $\overline{APDT}$ 信号读的延迟为 0，1，2 或者 3。PDTWL 等于 00（0 延迟）如图 5－23。

图 5－23 EMIFA 模块 SDRAM 写控制时序



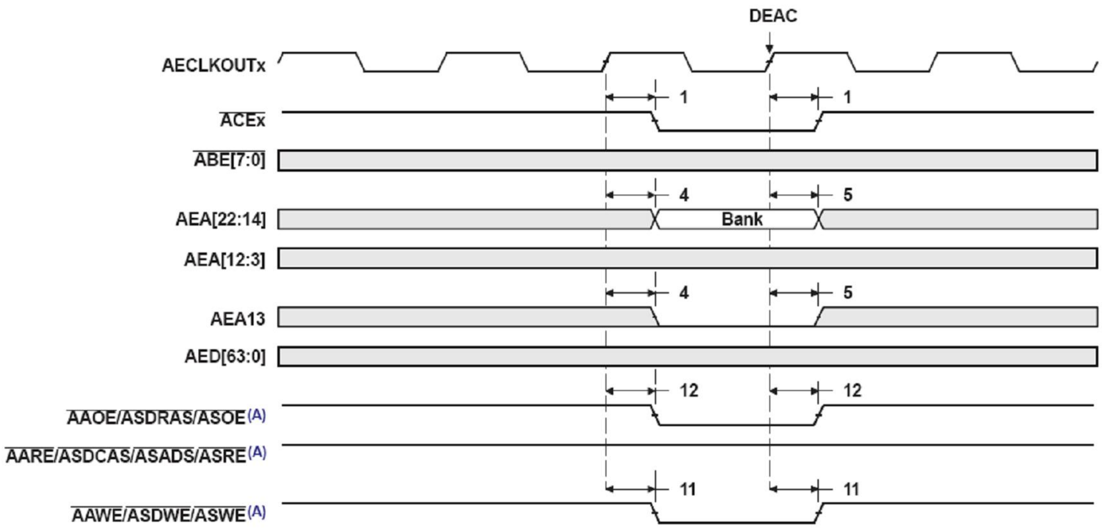
A． $\overline{AARE}$ / $\overline{ASDCAS}$ / $\overline{ASADS}$ / $\overline{ASRE}$ ， $\overline{AAOE}$ / $\overline{ASDRAS}$ / $\overline{ASOE}$ ， 和 $\overline{AAWE}$ / $\overline{ASDWE}$ / $\overline{ASWE}$ 操作当 $\overline{ASDCAS}$ / $\overline{ASDWE}$ ， $\overline{ASDRAS}$ 各自在 SDRAM 访问工作中。

图 5－24 EMIFA 模块 SDRAM ACTV 控制时序



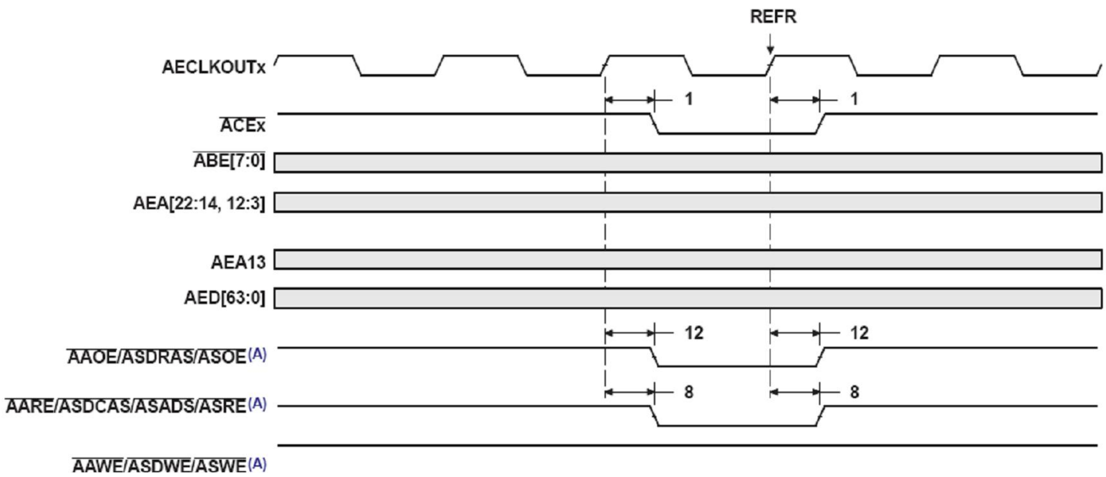
A． $\overline{AARE}$ / $\overline{ASDCAS}$ / $\overline{ASADS}$ / $\overline{ASRE}$ ， $\overline{AAOE}$ / $\overline{ASDRAS}$ / $\overline{ASOE}$ ， 和 $\overline{AAWE}$ / $\overline{ASDWE}$ / $\overline{ASWE}$ 操作当 $\overline{ASDCAS}$ / $\overline{ASDWE}$ ， $\overline{ASDRAS}$ 各自在 SDRAM 访问工作中。

图 5－25 EMIFA 模块 SDRAM DCAB 控制时序



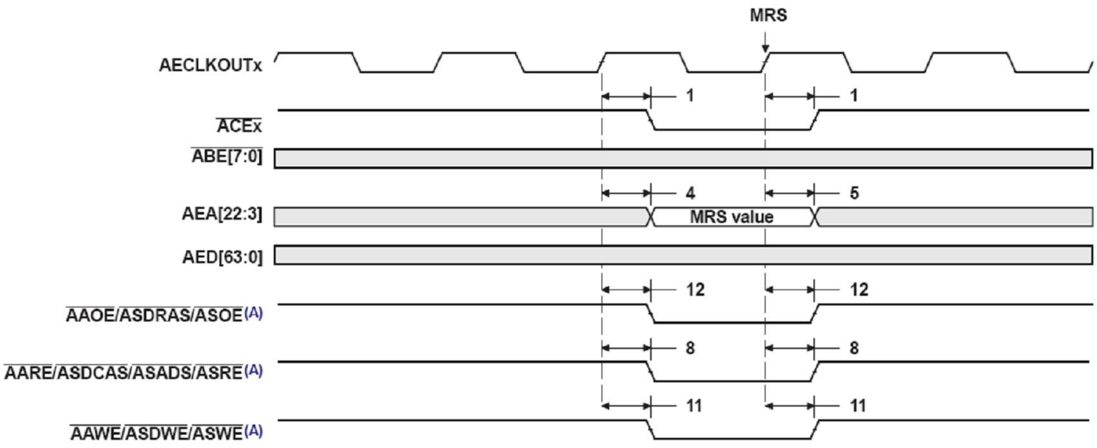
A． $\overline{AARE}$ / $\overline{ASDCAS}$ / $\overline{ASADS}$ / $\overline{ASRE}$ ， $\overline{AAOE}$ / $\overline{ASDRAS}$ / $\overline{ASOE}$ ， 和 $\overline{AAWE}$ / $\overline{ASDWE}$ / $\overline{ASWE}$ 操作当 $\overline{ASDCAS}$ / $\overline{ASDWE}$ ， $\overline{ASDRAS}$ 各自在 SDRAM 访问工作中。

图 5－26 EMIFA 模块 SDRAM DEAC 控制时序



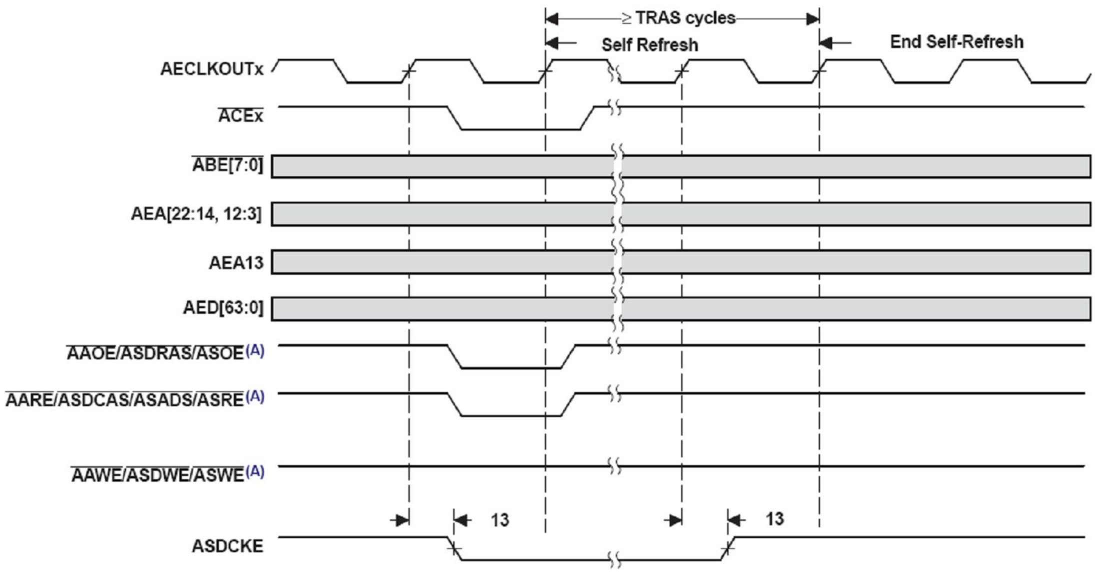
A． $\overline{AARE}$ / $\overline{ASDCAS}$ / $\overline{ASADS}$ / $\overline{ASRE}$ ， $\overline{AAOE}$ / $\overline{ASDRAS}$ / $\overline{ASOE}$ ， 和 $\overline{AAWE}$ / $\overline{ASDWE}$ / $\overline{ASWE}$ 操作当 $\overline{ASDCAS}$ / $\overline{ASDWE}$ ， $\overline{ASDRAS}$ 各自在 SDRAM 访问工作中。

图 5－27 EMIFA 模块 SDRAM REFR 控制时序



A． $\overline{AARE}$ / $\overline{ASDCAS}$ / $\overline{ASADS}$ / $\overline{ASRE}$ ， $\overline{AAOE}$ / $\overline{ASDRAS}$ / $\overline{ASOE}$ ，和 $\overline{AAWE}$ / $\overline{ASDWE}$ / $\overline{ASWE}$ **操作当** $\overline{ASDCAS}$ / $\overline{ASDWE}$ **，** $\overline{ASDRAS}$ **各自在 SDRAM 访问工作中。**

图 5—28 EMIFA 模块 SDRAM MRS 控制时序



A． $\overline{AARE}$ / $\overline{ASDCAS}$ / $\overline{ASADS}$ / $\overline{ASRE}$ ， $\overline{AAOE}$ / $\overline{ASDRAS}$ / $\overline{ASOE}$ ，和 $\overline{AAWE}$ / $\overline{ASDWE}$ / $\overline{ASWE}$ **操作当** $\overline{ASDCAS}$ / $\overline{ASDWE}$ **，** $\overline{ASDRAS}$ **各自在 SDRAM 访问工作中。**

图 5—29 EMIFA 模块 SDRAM 刷新时序

5.8.3.4 $\overline{HOLD}$ / $\overline{HOLDA}$ 时序

表 5–28 EMIFA模块的 $\overline{HOLD}$ / $\overline{HOLDA}$ 时序要求[1]（参考 5–30）

NO.		–500，A–600		–600 –720		单位
		MIN	MAX	MIN	MAX	
3	th(HOLDAL-HOLDL) 保持时间，$\overline{HOLDA}$ 低后 $\overline{HOLD}$ 低	E		E		ns

（1） E=EMIF输入时钟周期（ECLKIN，CPU/4 时钟，或者 CPU/6）

表 5–29 推荐工作条件下 EMIFA模块的 $\overline{HOLD}$ / $\overline{HOLDA}$ 周期的转换特性[1][2][3]（参考图 5–30）

NO.	参数	–500，A–600		–600 –720		单位
		MIN	MAX	MIN	MAX	
1	td(HOLDL-EMHZ)延迟时间，HOLD低直到 EMIFA总线高阻	2E	(4)	2E	(4)	ns
2	td(EMHZ-HOLDAL) 延迟时间，EMIFA总线高阻直到 HOLD低	0	2E	0	2E	ns
4	td(HOLDH-EMLZ) 延迟时间，HOLD高直到 EMIFA总线低阻	2E	7E	2E	7E	ns
5	td(EMLZ-HOLDAH) 延迟时间，EMIFA总线低阻直到 HOLD高	0	2E	0	2E	ns
6	td(HOLDL-EKOHZ) 延迟时间，HOLD低直到 AECLKOUTx高阻	2E	(4)	2E	(4)	ns
7	td(HOLDH-EKOLZ) 延迟时间，HOLD高直到 AECLKOUTx低阻	2E	7E	2E	7E	ns

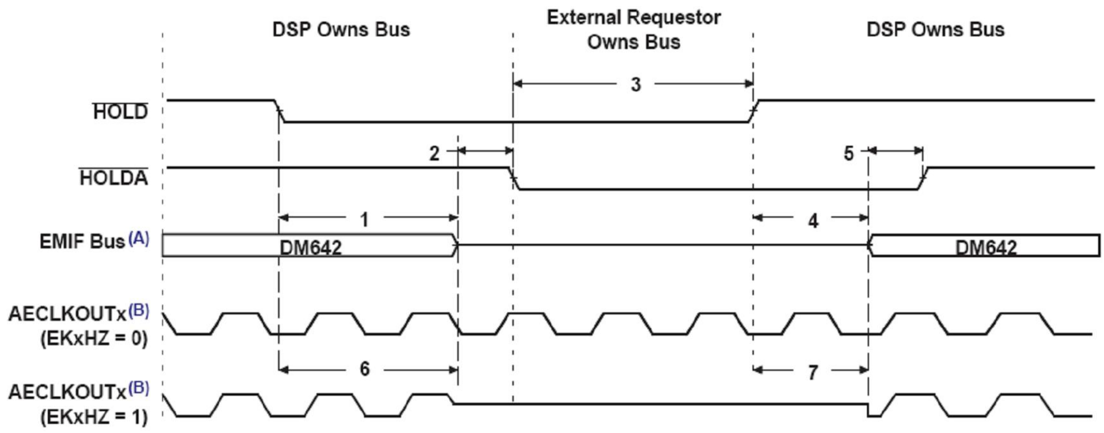
（1） E=EMIF输入时钟周期（ECLKIN，CPU/4 时钟，或者 CPU/6） EMIFA模块

（2） EMIFA 总线组成 $\overline{ACE}[3:0]$，$\overline{ABE}[7:0]$，AED[63:0]，AEA[22:3]，$\overline{AARE}$ / $\overline{ASDCAS}$ / $\overline{ASADS}$ / $\overline{ASRE}$，$\overline{AAOE}$ / $\overline{ASDRAS}$ / $\overline{ASOE}$，$\overline{AAWE}$ / $\overline{ASDWE}$ / $\overline{ASWE}$，ASDCKE，$\overline{ASOE3}$，$\overline{APDT}$。

（3） EMIF全局控制寄存器（GBLCTL）的 EKxHZ位决定 ECLOUTx信号在 $\overline{HOLDA}$ 的状态。如果 EKxHZ= 0，则 ECLKOUTx在保持模式下继续输出时钟。如果 EKxHZ= 1，ECLKOUTx在保持模式

下为高阻态，见图 5–30.

（4） 在 $\overline{HOLDA}$ 确定之前所有悬挂的 EMIF 转换允许完成。如果没有总线转换发生，则在最小的延时时间内完成。总线保持通过设置 NOHOLD=1 产生不确定的延时。



（1） EMIFA 总线组成 $\overline{ACE}[3:0]$ ， $\overline{ABE}[7:0]$ ， AED[63:0]， AEA[22:3]， $\overline{AARE}/\overline{ASDCAS}/\overline{ASADS}/\overline{ASRE}$ ， $\overline{AAOE}/\overline{ASDRAS}/\overline{ASOE}$ ， $\overline{AAWE}/\overline{ASDWE}/\overline{ASWE}$ ，ASDCKE, $\overline{ASOE3}$ ， $\overline{APDT}$ 。

（3） EMIF 全局控制寄存器（GBLCTL）的 EKxHZ 位决定 ECLOUTx 信号在 $\overline{HOLDA}$ 的状态。如果 EKxHZ=0, 则 ECLKOUTx 在保持模式下继续输出时钟。如果 EKxHZ=1, ECLKOUTx 在保持模式下为高阻态，见图 5–30.

图 5–30 EMIFA 模块 $\overline{HOLD}/\overline{HOLDA}$ 时序

5.8.3.5 BUSREQ 时序

表 5–30 推荐工作条件下 EMIFA 模块的 BUSREQ 周期的转换特性（参考图 5–31）

NO.		–500, A–600		–600 –720		单位
		MIN	MAX	MIN	MAX	
1	$t_{d(AEKO1H-ABUSRV)}$ 延迟时间， AECLKOUTx 高直到 ABUSREQ 有效	0.6	7.1	1	5.5	ns

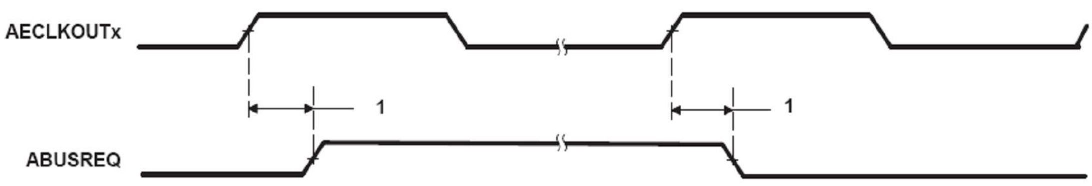


图 5–31 EMIFA 模块的 BUSREQ 时序

5.9多声道音频串行端口（ McASP0 ）外围设备

为了多声道音频应用的需要，作为通用的音频串口，McASP0 的功能被优化了。McASP0 对于时分复用流、I2S 协议和计算机间数字音频接口传输（DIT）是有益的。

5.9.1 McASP0 具体信息

TMS320DM642 设备包含一个多声道音频串行端口（McASP）接口外设（McASP 0），为了多声道音频应用需要，McASP 是一个被优化了的串口。

McASP 由发射部分和接收部分组成，它们能够用不同的数据格式、隔离的主时钟、位时钟、帧同步或者一部分完全独立地进行操作，传输部分和接收部分可以是同步的。McASP 模块还包括一个 16 位移位寄存器池，可配置为用于传输数据，接收数据，或通用输入/输出（ GPIO）。

McASP 的传输段可以用时分复用同步串行格式传送数据，或用一个数字音频接口格式传输数据，它的位流可被编码为 S / PDIF， AES - 3 ，IEC - 60958，CP- 430 的传输。接收段的 McASP 支持的 TDM 同步串行格式。

该 McASP 可以支持一个传输数据格式（TDM 的格式或 DIT 格式） ，并一次支持一个接收格式。所有发送移位寄存器及接收移位寄存器都使用相同的格式。然而，发送和接收格式，不必相同。

McASP 的发送和接收部分也支持脉冲模式，该模式对于非音频数据（例如，在两个 DSP 之间传送控制信息）是非常有利的 。

McASP 外围设备还有额外的能力，产生灵活的时钟，错误检测/处理，以及误差管理。

为了了解 McASP 外围设备的更加详细的资料及功能，请查阅 TMS320C6000 DSP 多声道音频串行端口（McASP）参考指南（文献号 SPRU041 ）。

5.9.1.1 McASP 方框图

图 5-32 例举了外部信号的 TMS320DM642 McASP0 外围设备主框图，8 位串行数据[AXR]管脚。McASP 还包括通用的 I/O （GPIO）控制，所以任何管脚不需要串行传输，可用于一般用途的 I / O 。

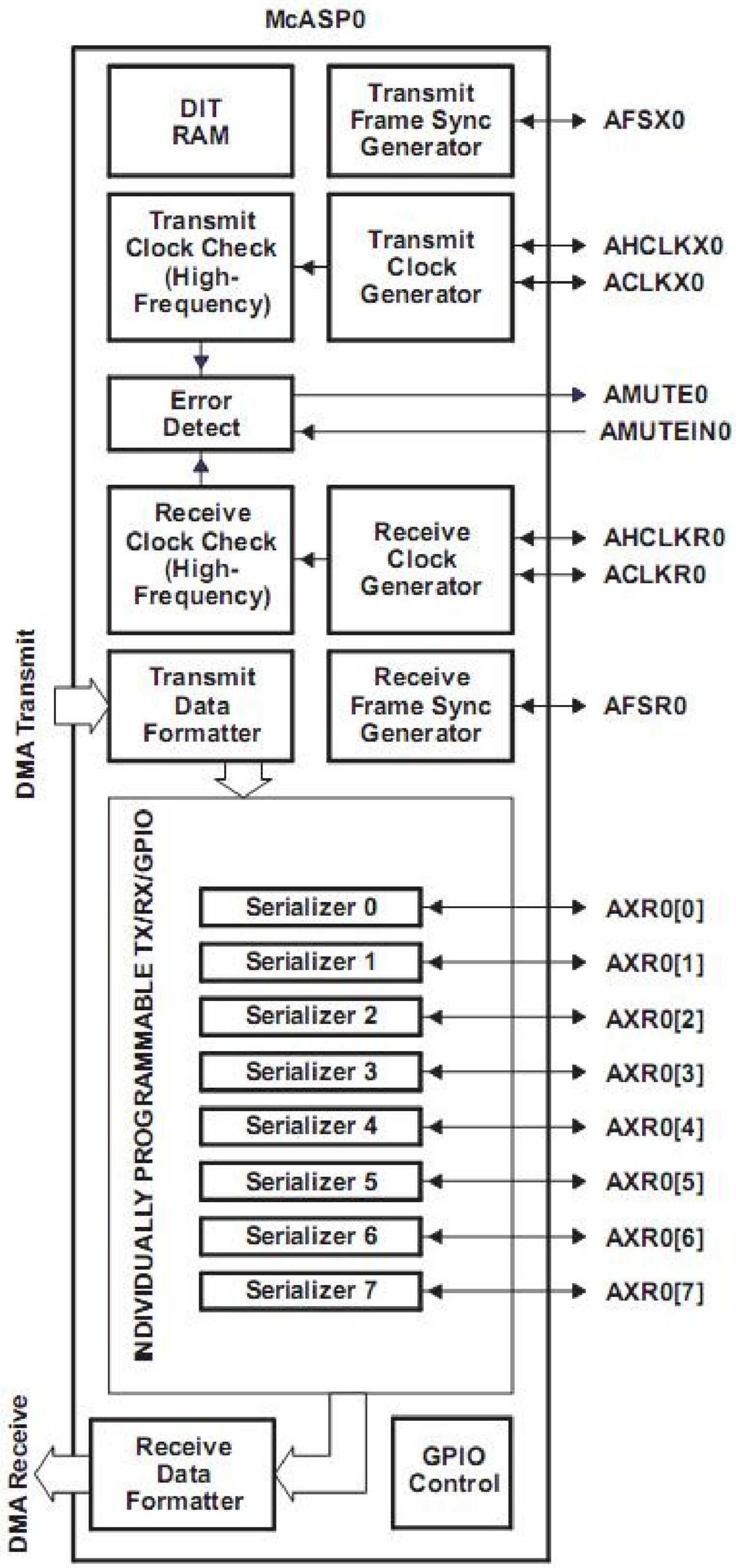


图 5-32 McASP 配置

5.9.2 McASP0 外围寄存器描述

表 5-31 McASP0 控制寄存器

十六进制地址范围	首字母缩写	寄存器名
01B4 C000	PID	外设辨别寄存器[寄存器值: 0x0010 0101]
01B4 C004	PWRDEMU	低功耗和仿真管理寄存器
01B4 C008	–	保留
01B4 C00C	–	保留
01B4 C010	PFUNC	引脚功能寄存器
01B4 C014	PDIR	引脚方向寄存器
01B4 C018	PDOUT	引脚数据输出寄存器
01B4 C01C	PDIN/PDSET	引脚数据输入/数据设置寄存器 读返回：PKIN 写影响：PDSET
01B4 C020	PDCLR	引脚数据清楚寄存器
01B4 C024 – 01B4 C040	–	保留
01B4 C044	GBLCTL	全局控制寄存器
01B4 C048	AMUTE	静音控制寄存器
01B4 C04C	DLBCTL	数字循环控制寄存器
01B4 C050	DITCTL	DIT 模式控制寄存器
01B4 C054 – 01B4 C05C	–	保留
01B4 C060	RGBLCTL	GBLCTL 的别名 只包含接收复位位 允许独立地从接收发送到复位
01B4 C064	RMASK	接收格式 UNIT 位可屏蔽寄存器
01B4 C068	RFMT	接收位流格式寄存器
01B4 C06C	AFSRCTL	接收帧同步控制寄存器
01B4 C070	ACLKRCTL	接收时钟控制寄存器
01B4 C074	AHCLKRCTL	高频接收时钟控制寄存器
01B4 C078	RTDM	接收 TDM 间隔 0 – 31 寄存器
01B4 C07C	RINTCTL	接收中断控制寄存器
01B4 C080	RSTAT	状态寄存器-接收
01B4 C084	RSLOT	电流接收 TDM 间隔寄存器
01B4 C088	RCLKCHK	接收时钟检测控制寄存器
01B4 C08C – 01B4 C09C	–	保留
01B4 C0A0	XGBLCTL	GBLCTL 别名 只包含发送复位位 允许独立地从接收发送到复位
01B4 C0A4	XMASK	发送格式 UNIT 为屏蔽寄存器

01B4 C0A8	XFMT	发送位流格式寄存器
01B4 C0AC	AFSXCTL	发送帧同步控制寄存器
01B4 C0B0	ACLKXCTL	发送时钟控制寄存器
01B4 C0B4	AHCLKXCTL	高频发送时钟控制寄存器
01B4 C0B8	XTDM	发送 TDM 间隔 0-31 寄存器
01B4 C0BC	XINTCTL	发送中断控制寄存器
01B4 C0C0	XSTAT	状态寄存器-发送

表 5-31 McASP0 控制寄存器（续表）

十六进制地址范围	首字母缩写	寄存器名
01B4 C0C4	XSLOT	电流发送 TDM 间隔
01B4 C0C8	XCLKCHK	发送时钟检测控制寄存器
01B4 C0CC – 01B4 C0FC	–	保留
01B4 C100	DITCSRA0	左（偶数 TDM 间隔）通道状态寄存器组
01B4 C104	DITCSRA1	左（偶数 TDM 间隔）通道状态寄存器组
01B4 C108	DITCSRA2	左（偶数 TDM 间隔）通道状态寄存器组
01B4 C10C	DITCSRA3	左（偶数 TDM 间隔）通道状态寄存器组
01B4 C110	DITCSRA4	左（偶数 TDM 间隔）通道状态寄存器组
01B4 C114	DITCSRA5	左（偶数 TDM 间隔）通道状态寄存器组
01B4 C118	DITCSRB0	右（奇数 TDM 间隔）通道状态寄存器组
01B4 C11C	DITCSRB1	右（奇数 TDM 间隔）通道状态寄存器组
01B4 C120	DITCSRB2	右（奇数 TDM 间隔）通道状态寄存器组
01B4 C124	DITCSRB3	右（奇数 TDM 间隔）通道状态寄存器组
01B4 C128	DITCSRB4	右（奇数 TDM 间隔）通道状态寄存器组
01B4 C12C	DITCSRB5	右（奇数 TDM 间隔）通道状态寄存器组
01B4 C130	DITUDRA0	左（偶数 TDM 间隔）用户数据寄存器组
01B4 C134	DITUDRA1	左（偶数 TDM 间隔）用户数据寄存器组
01B4 C138	DITUDRA2	左（偶数 TDM 间隔）用户数据寄存器组
01B4 C13C	DITUDRA3	左（偶数 TDM 间隔）用户数据寄存器组
01B4 C140	DITUDRA4	左（偶数 TDM 间隔）用户数据寄存器组
01B4 C144	DITUDRA5	左（偶数 TDM 间隔）用户数据寄存器组
01B4 C148	DITUDRB0	右（奇数 TDM 间隔）用户数据寄存器组
01B4 C14C	DITUDRB1	右（奇数 TDM 间隔）用户数据寄存器组
01B4 C150	DITUDRB2	右（奇数 TDM 间隔）用户数据寄存器组

表 5-31 McASP0 控制寄存器（续表）

十六进制地址范围	首字母缩写	寄存器名
01B4 C154	DITUDRB3	右（奇数 TDM 间隔）用户数据寄存器组
01B4 C158	DITUDRB4	右（奇数 TDM 间隔）用户数据寄存器组
01B4 C15C	DITUDRB5	右（奇数 TDM 间隔）用户数据寄存器组
01B4 C160 – 01B4 C17C	–	保留
01B4 C180	SRCTL0	串行器 0 控制寄存器
01B4 C184	SRCTL1	串行器 1 控制寄存器 r
01B4 C188	SRCTL2	串行器 2 控制寄存器
01B4 C18C	SRCTL3	串行器 3 控制寄存器
01B4 C190	SRCTL4	串行器 4 控制寄存器
01B4 C194	SRCTL5	串行器 5 控制寄存器
01B4 C198	SRCTL6	串行器 6 控制寄存器
01B4 C19C	SRCTL7	串行器 7 控制寄存器
01B4 C1A0 – 01B4 C1FC	–	保留
01B4 C200	XBUF0	串行器 0 发送缓冲器
01B4 C204	XBUF1	串行器 1 发送缓冲器
01B4 C208	XBUF2	串行器 2 发送缓冲器
01B4 C20C	XBUF3	串行器 3 发送缓冲器
01B4 C210	XBUF4	串行器 4 发送缓冲器
01B4 C214	XBUF5	串行器 5 发送缓冲器
01B4 C218	XBUF6	串行器 6 发送缓冲器
01B4 C21C	XBUF7	串行器 7 发送缓冲器
01B4 C220 – 01B4 C27C	–	保留
01B4 C280	RBUF0	串行器 0 接收缓冲器
01B4 C284	RBUF1	串行器 1 接收缓冲器
01B4 C288	RBUF2	串行器 2 接收缓冲器
01B4 C28C	RBUF3	串行器 3 接收缓冲器
01B4 C290	RBUF4	串行器 4 接收缓冲器
01B4 C294	RBUF5	串行器 5 接收缓冲器
01B4 C298	RBUF6	串行器 6 接收缓冲器
01B4 C29C	RBUF7	串行器 7 接收缓冲器

表 5-31 McASP0 控制寄存器（续表）

十六进制地址范围	首字母缩写	寄存器名
01B4 C2A0 – 01B4 FFFF	–	保留

表 5-32 McASP0 数据寄存器

十六进制地址范围	首字母缩写	寄存器名	注释
3C00 0000 – 3C1F FFFF	RBUF/XBUFx	McASPx 接收缓冲器或 McASPx 发送缓冲器 通过外设数据总线	(当 RSEL 或 XSEL 位 = 0 时使用 [这些位分别位于 RFMT 或 XFMT 寄存器].)

5.9.3 McASP0 电气数据/时序

5.9.3.1 多声道音频串行端口（McASP ）时序

表 5-33 McASP 时序要求（见图 5-33 和图 5-34）(1)

NO.			–500 –600 –720		单位
			MIN	MAX	
1	$t_{c(AHCKRX)}$ 周期, AHCLKR/X		20		ns
2	$t_{w(AHCKRX)}$ 脉冲宽度, AHCLKR/X 高或低		10		ns
3	$t_{c(CKRX)}$ 周期, ACLKR/X	ACLKR/X 外部	33		ns
4	$t_{w(CKRX)}$ 脉冲宽度, ACLKR/X 高或低	ACLKR/X 外部	16.5		ns
5	$t_{su(FRX-CKRX)}$建立时间，在 ACLKR/X 闭锁数据之前 AFSR/X 输入有效	ACLKR/X 内部	5		ns
		ACLKR/X 外部	5		ns

表 5-33 McASP 时序要求（见图 5-33 和图 5-34） (1) （续表）

NO.			－500 －600 －720 MIN	MAX	单位
6	$t_{h(CKRX-FRX)}$ 保持时间，在 ACLKR/X 闭锁数据之后 AFSR/X 输入有效	ACLKR/X 内部	5		ns
		ACLKR/X 外部	5		ns
7	$t_{su(AXR-CKRX)}$建立时间，在 ACLKR/X 闭锁数据之前 AXR 输入有效	ACLKR/X 内部	5		ns
		ACLKR/X 外部	5		ns
8	$t_{h(CKRX-AXR)}$ 保持时间，在 ACLKR/X 闭锁数据之后 AXR 输入有效	ACLKR/X 内部	5		ns
		ACLKR/X 外部	5		ns

(1) ACLKX 内部: ACLKXCTL.CLKXM=1, PDIR.ACLKX = 1
ACLKX 外部 输入: ACLKXCTL.CLKXM=0, PDIR.ACLKX=0
ACLKX 外部 输出: ACLKXCTL.CLKXM=0, PDIR.ACLKX=1
ACLKR 内部: ACLKRCTL.CLKRM=1, PDIR.ACLKR = 1
ACLKR 外部 输入: ACLKRCTL.CLKRM=0, PDIR.ACLKR=0
ACLKR 外部 输出: ACLKRCTL.CLKRM=0, PDIR.ACLKR=1

表 5-34 McASP 推荐操作条件下转换特性

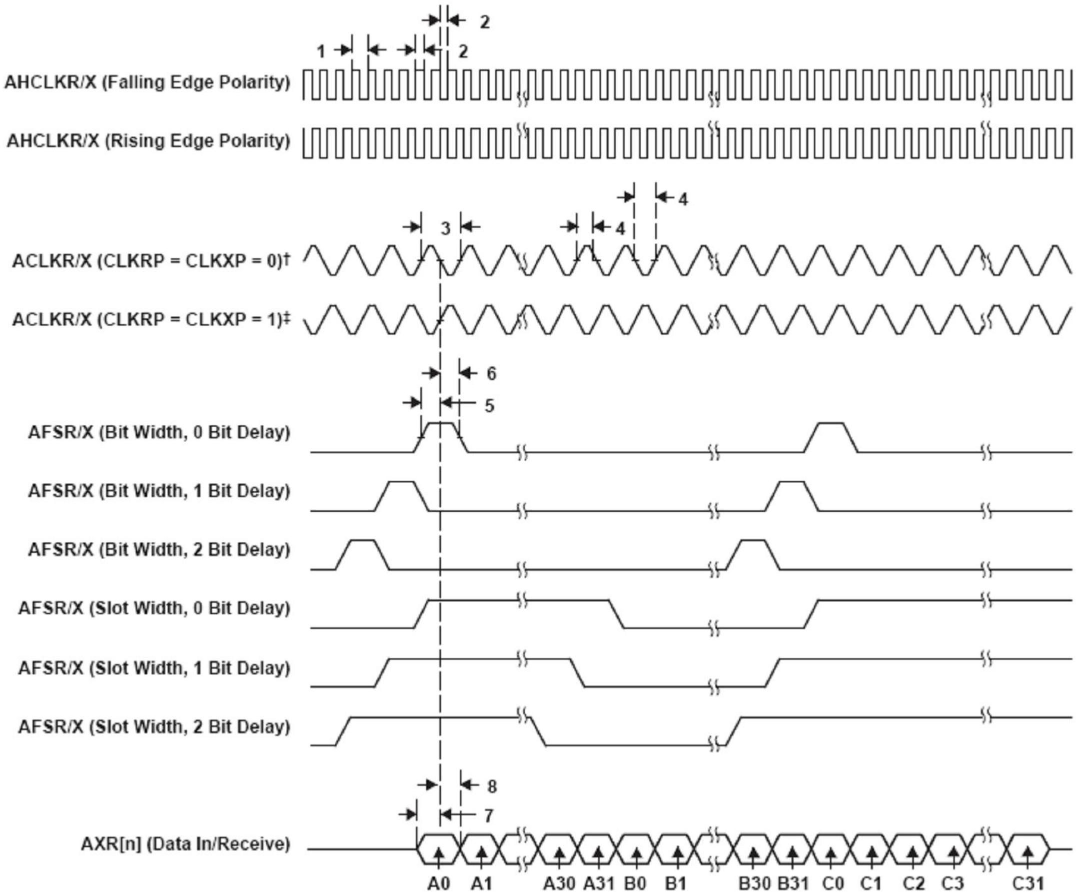
NO.			－500 －600 －720 MIN	MAX	单位
9	$t_{c(AHCKRX)}$ 周期, AHCLKR/X		20		ns
10	$t_{w(AHCKRX)}$ 脉冲宽度, AHCLKR/X 高或低		10		ns
11	$t_{c(CKRX)}$ 周期, ACLKR/X	ACLKR/X 内部	33		ns
12	$t_{w(CKRX)}$ 脉冲宽度, ACLKR/X 高或低	ACLKR/X 内部	16.5		ns
13	$t_{d(CKRX-FRX)}$延迟时间, ACLKR/X 发送沿到 AFSR/X 输出有效	ACLKR/X 内部	-1	5	ns
		ACLKR/X 外部	0	10	ns
14	$t_{d(CKX-AVRV)}$ 延迟时间, ACLKX 发送沿到 AXR 输出有效	ACLKX 内部	-1	5	ns
		ACLKX 外部	0	10	ns
15	$t_{dis(CKRX-AXRHZ)}$使能时间, AXR 高阻 从 ACLKR/X 发送沿到最后数据位	ACLKR/X 内部	0	10	ns
		ACLKR/X 外部	0	10	ns

(1) ACLKX 内部: ACLKXCTL.CLKXM=1, PDIR.ACLKX = 1
ACLKX 外部 输入: ACLKXCTL.CLKXM=0, PDIR.ACLKX=0
ACLKX 外部 输出: ACLKXCTL.CLKXM=0, PDIR.ACLKX=1

ACLKR **内部**: ACLKRCTL.CLKRM=1, PDIR.ACLKR = 1

ACLKR **外部 输入**: ACLKRCTL.CLKRM=0, PDIR.ACLKR=0

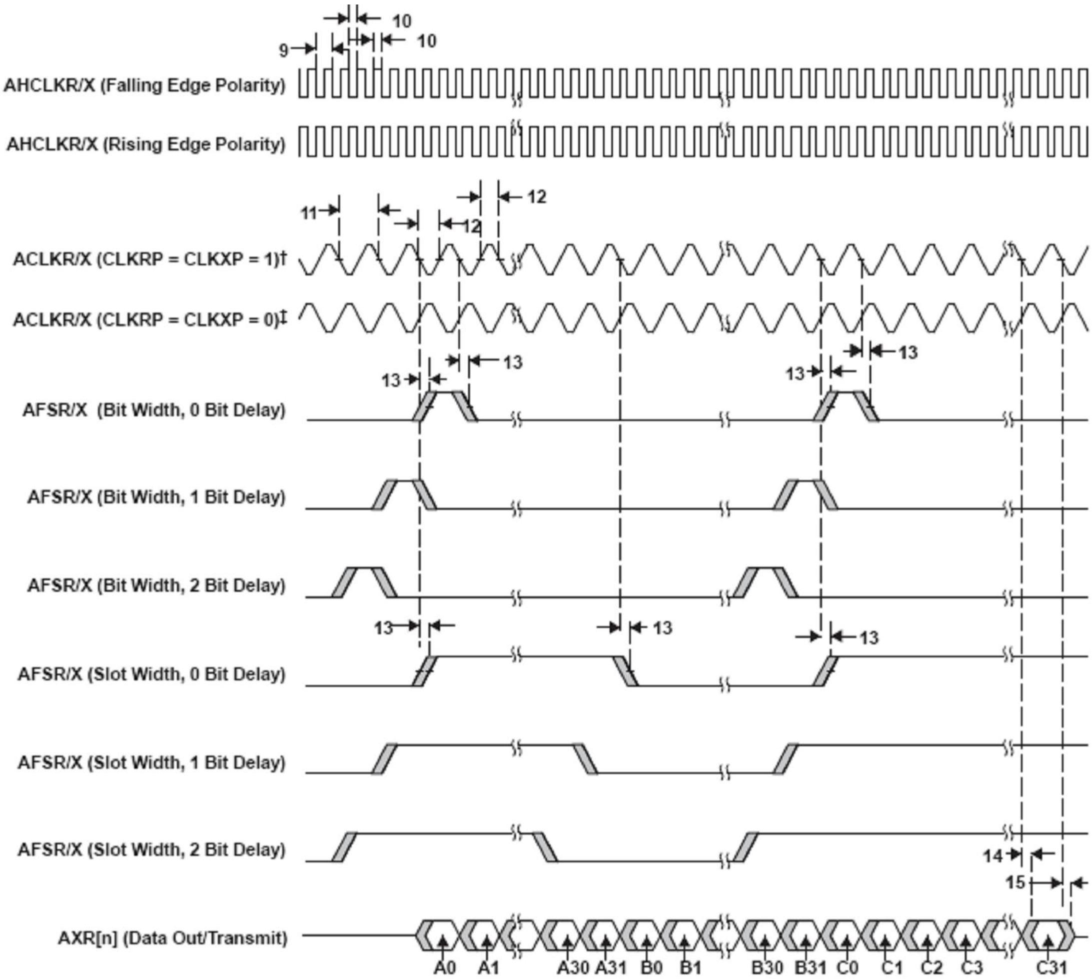
ACLKR **外部 输出**: ACLKRCTL.CLKRM=0, PDIR.ACLKR=1



†**当** CLKRP = CLKXP = 0, McASP **发送器被配置为上升沿（数据移出），**McASP **接受器被配置为下降沿（数据移入**).

‡**当** CLKRP = CLKXP = 1, McASP **发送器被配置为下降沿（数据移出**) **，**McASP **接受器被配置为上升沿（数据移入**).

图 5-33 McASP **输入时序**



† **当** CLKRP = CLKXP = 1, McASP **发送器被配置为下降沿（数据移出），**McASP **接受器被配置为上升沿（数据移入**).

‡ **当** CLKRP = CLKXP = 0, McASP **发送器被配置为上升沿（数据移出），**McASP **接受器被配置为下降沿（数据移入**).

图 5-34 McASP **输出时序**

5.10 内部集成电路（I2C）

I2C(Inter－Integrated Circuit)模块的存在，使得TMS320C6000 DSP芯片可以与其他一些符合飞利浦半导体I2C总线2.1标准的外部设备，通过I2C总线来建立连接。外部设备通过这种两线式串行总线，由I2C模块传送/接收8-bit的数据到DSP芯片。

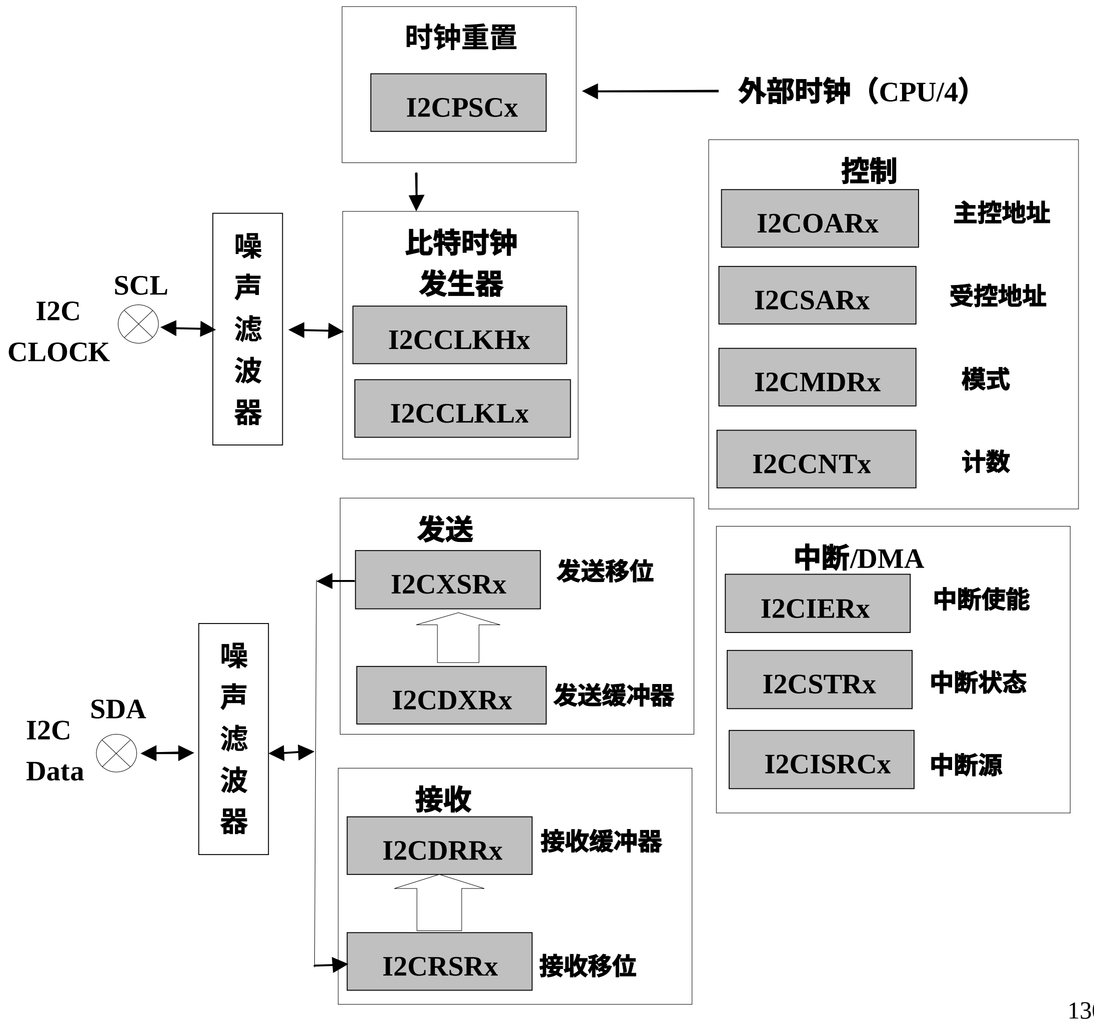
5.10.1 I2C 模块功能特性

TMS320DM642 上的 I2C 模块可一被用来实现对外部芯片（DAC 芯片，ADC 芯片等等）的控制，这些芯片是被用来和系统里的其他控制器或者用户控制界面进行通讯的。

I2C 端口支持：

- 符合飞利浦半导体 I2C 总线 2.1 标准（2000 年 1 月）
- 其快速模式可支持最高 400Kbps 的数据传输速率（没有输入输出口误差保护设置）
- 噪声滤波器可以滤除周期为 50ns 或更低的噪声
- 7Bit 或者 10Bit 的设备寻址模式
- 主控（发送/接收）和被控（发送/接收）功能
- 事件：直接存储器访问(DMA)，中断，轮询
- 摆率受限的漏极开路缓冲设置

图 5-35 是一个 I2C 模块的方框图



□阴影部分是指外部设备无法访问此模块.

图 5-35 I2C 模块系统框图

更多的与 I2C 外设相关的信息，请查看 TMS320C6000DSP 集成电路 I2C 模块说明（文件号为 SPRU175)。

5.10.2 I2C 外部存储器说明

表5-35 I2C0 寄存器

十六进制地址范围	缩写	寄存器名称
01B4 0000	I2COAR0	I2C0 自身地址寄存器
01B4 0004	I2CIER0	I2C0 中断使能寄存器
01B4 0008	I2CSTR0	I2C0 中断状态寄存器
01B4 000c	I2CCLKL0	I2C0 低位时钟驱动寄存器
01B4 0010	I2CCLKH0	I2C0 高位时钟驱动寄存器
01B4 0014	I2CCNT0	I2C0 数据计数寄存器
01B4 0018	I2CDRR0	I2C0 数据接收寄存器
01B4 001c	I2CSAR0	I2C0 受控地址寄存器
01B4 0020	I2CDXR0	I2C0 数据传输寄存器
01B4 0024	I2CMDR0	I2C0 模式寄存器
01B4 0028	I2CISRC0	I2C0 中断源寄存器
01B4 002c	——	保留
01B4 0030	I2CPSC0	I2C0 分频器寄存器
01B4 0034	I2CPID10	I2C0 外部设备辨识寄存器1[值：0x0000 0101]
01B4 038	I2CPID20	I2C0 外部设备辨识寄存器1[值：0x0000 0101]
01B4 003C – 01B4 3FFF	——	保留

5.10.3 I2C 电气数据/时序

5.10.3.1 I2C 时序

图 5-36. I2C 接收时序的时间要求(1)

NO.		-500 -600 -720				单位
		标准模式		快速模式		
		MIN	MAX	MIN	MAX	
1	$t_{c(SCL)}$ 时钟周期，SCL	10		2.5		μs
2	$t_{su(SCLH-SDAL)}$ 建立时间，在SDA为低电平之前SCL为高电平（对应应答开始状态）	4.7		0.6		μs
3	$t_{h(SCLL-SDAL)}$保持时间，SCL在SDA为低电平后降为低电平（对应开始或应答开始状态）	4		0.6		μs
4	$t_{W(SCLL)}$ SCL 为低时的脉冲宽度	4.7		1.3		μs
5	$t_{W(SCLH)}$ SCL 为高时的脉冲宽度	4		0.6		μs
6	$t_{su(SDAV-SDLH)}$建立时间，在SCL为高电平之前SDA传送数据为有效数据	250		100(2)		ns
7	$t_{h(SDA-SDLL)}$ 保持时间，当SCL为低电平时SDA才是有效的（适应I2C总线配置）	0(3)		0(3)	0.9(4)	μs
8	$t_{W(SDLH)}$ 脉冲保持，在停止和开启状态之间SDA为高电平	4.7		1.3		μs
9	$t_{r(SDA)}$ SDA电平上升时间		1000	$20+0.1C_b$(5)	300	ns
10	$t_{r(SCL)}$ SCL电平上升时间		1000	$20+0.1\ C_b$(5)	300	ns
11	$t_{f(SDA)}$ SDA电平下降时间		300	$20+0.1\ C_b$(5)	300	ns
12	$t_{f(SCL)}$ SCL电平下降时间		300	$20+0.1\ C_b$(5)	300	ns
13	$t_{su(SCLH-SDAH)}$ 建立时间，SCL为高电平后SDA为高电平对应停止状态）	4		0.6		μs
14	$t_{w(SP)}$ 脉冲宽度，毛刺（需要被抑制）			0	50	ns
15	Cb(5) 总线上的的寄生电容		400		400	pF

(1) I2C模块的SDA，SCL口并不具备带自我保护的输入输出缓存，所以在系统关闭时管脚可能会掉电。

(2) 高速I2C设备如运行在标准速度系统中的话，$t_{su(SDA-SCLH)} > 250$ ns的条件必须遵守,如果设备不会延展时钟LOW的周期，则设备可以自动适应,如设备会延展时钟信号的低电平周期，则在SCL被释放之前，下一个比特的数据必须在t_r max + $t_{su(SDA-SCLH)}$ = 1000 + 250 = 1250 ns（根据标准模式I2C总线规范）个纳秒内传送出去。

(3) 由于SCL上电平由高到低的时间并不是完全确定的（由SCL上高电平的幅值来决定），

所以对一个支持I2C总线的设备，在其内部必须保证在SCL开始下降后最少300ns，SDA才开始传输数据。

(4) 只有当设备没有延长SCL信号的低电平周期[$t_{s(SCLL)}$]时，$t_{h(SDA-SCLL)}$的最大值才可能出现。

(5) C_b 是一条总线上的寄生电容值，以 pF 为单位。如果是在快速模式设备中，就允许更快的电荷衰减时间。

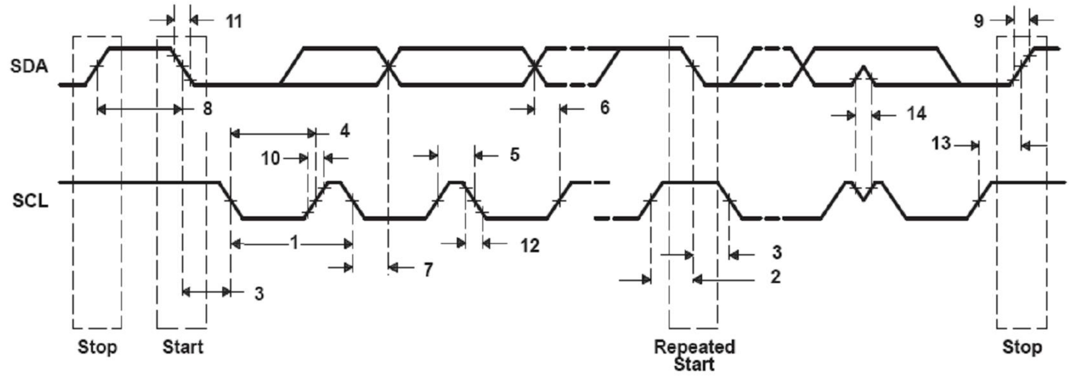


图 5-36 I2C 接收时序

图 5-37. I2C 发送时序的开关特性

NO.	参数定义	-500 -600 -720				单位
		标准模式		快速模式		
		MIN	MAX	MIN	MAX	
16	$t_{c(SCL)}$ SCL时钟周期	10		2.5		μs
17	$t_{d(SCLH-SDAL)}$ 延迟时间，在SDA为低电平之前SCL为高电平（对应应答开始状态）	4.7		0.6		μs
18	$t_{d(SDAL-SCLL)}$ 延迟时间，SCL 在 SDA 为低电平后降为低电平（对应开始或应答开始状态）	4		0.6		μs
19	$t_{W(SCLL)}$ SCL 为低时的脉冲持续时间	4.7		1.3		μs
20	$t_{W(SCLH)}$ SCL 为高时的脉冲持续时间	4		0.6		μs
21	$t_{d(SDAV-SDLH)}$ 延迟时间，SDA数据有效到SCL为高电平（数据开始无效）	250		100		ns
22	$t_{v(SDA-SDLL)}$ 有效时间，当SCL为低电平时SDA才是有效的（适应支持I2C总线配置的设备）	0		0	0.9	μs
23	$t_{W(SDLH)}$ 脉冲保持，在停止和开启状态之间SDA为高电平	4.7		1.3		μs

24	$t_{r(SDA)}$ SDA**电平上升时间**	1000	20+0.1C$_b$(1) 300	ns
25	$t_{r(SCL)}$ SCL**电平上升时间**	1000	20+0.1 C$_b$(1) 300	ns
26	$t_{f(SDA)}$ SDA**电平下降时间**	300	20+0.1 C$_b$(1) 300	ns
27	$t_{f(SCL)}$ SCL**电平下降时间**	300	20+0.1 C$_b$(1) 300	ns
28	$t_{d(SCLH-SDAH)}$ **延迟时间，**SCL**为高电平后**SDA**为高电平（对应停止状态）**	4	0.6	μs
29	Cp(5) I2C**模块输出管脚上的寄生电容**	10	10	pF

(1) C$_b$**是一条总线上的寄生电容值，以**pF**为单位。如果是在快速模式设备中，就允许更快的电荷衰减时间。**

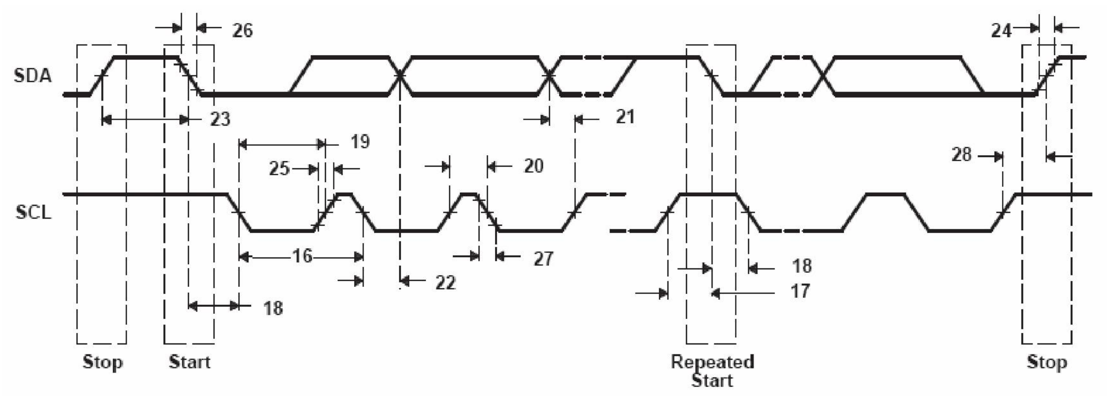


图 3-37 I2C **发送时序**

5.11主机接口 (HPI)

主机接口是一个能够通过主处理器直接访问 CPU 的存储空间的并行口，主机设备作为一个主要的接口从而可以进行更加容易的访问，主机和 CPU 可以经过内部和外部的存储器进行相互交换信息。主机还能够直接访问存储映射的外围设备。HPI 与 CPU 存储空间的互联是通过 EDMA 控制器实现的。主机和 CPU 都可以对 HPI 控制寄存器(HPIC)和 HPI 地址寄存器(HPIA)进行访问。主机可以通过使用外部数据和接口控制信号来访问 HPI 数据寄存器(HPID)和 HPIC。

关于HPI外设更详细详细可见TMS320C6000 DSP主机接口(HPI) 参考指南(文献号SPRU578).

5.11.1 HPI外设寄存器描述

表5-38. HPI 寄存器

16进制地址范围	缩写	寄存器名称	注释
—	HPID	HPI数据寄存器	只进行主机读/写访问
0188 0000	HPIC	HPI控制寄存器	HPIC主机/CPU读写访问
0188 0004	HPIA(HPIAW)(1)	HPI地址寄存器（写）	HPIA主机/CPU读写访问
0188 0008	HPIA(HPIAR)(1)	HPI地址寄存器（读）	
0188 000C – 0189 FFFF	—	保留	
018A 0000	HPI_TRCTL	HPI转移请求控制寄存器	
018A 0004 – 018B FFFF	—	保留	

(1)主机访问HPIA寄存器并更新HPIAW和HPIAR寄存器。CPU能够独立访问HPIAW和HPIAR

5.11.2 主机接口 (HPI) 电气数据/时序

表 5-39. 主机接口周期时序要求(1) (2) (参考图5-38 —图 5-45)

序号		−500 −600 −720		单位
		MIN	MAX	
1	$t_{su(SELV-HSTBL)}$ 建立时间 $\overline{\text{HSTROBE}}$ 为低前片选信号(3)有效	5		ns
2	$t_{h(HSTBL-SELV)}$ 保持时间 $\overline{\text{HSTROBE}}$ 为低后片选信号(3)有效	2.4		ns
3	$t_{w(HSTBL)}$ 脉冲宽度 $\overline{\text{HSTROBE}}$ 为低电平	4P (4)		ns
4	$t_{w(HSTBH)}$ 脉冲宽度 $\overline{\text{HSTROBE}}$ 在持续访问时为高	4P		ns

10	$t_{su(SELV-HASL)}$ 建立时间 $\overline{\text{HAS}}$ 为低前片选信号(3)有效	5	ns
11	$t_{h(HASL-SELV)}$ 保持时间，$\overline{\text{HAS}}$ 为低后片选信号(3)有效	2	ns
12	$t_{su(HDV-HSTBH)}$ 建立时间，$\overline{\text{HSTROBE}}$ 为高后主机数据有效	5	ns
13	$t_{h(HSTBH-HDV)}$ 保持时间，$\overline{\text{HSTROBE}}$ 为高后主机数据有效	2.8	ns
14	$t_{h(HRDYL-HSTBL)}$ 保持时间 $\overline{\text{HRDY}}$ 为低后 $\overline{\text{HSTROBE}}$ 为低，只有当 $\overline{\text{HRDY}}$ (低)激活后 $\overline{\text{HSTROBE}}$ 才能被激活，否则，HPI 写操作不能完成	2	ns
18	$t_{su(HASL-HSTBL)}$ 建立时间，$\overline{\text{HSTROBE}}$ 为低前 $\overline{\text{HAS}}$ 为低	2	ns
19	$t_{h(HSTBL-HASL)}$ 保持时间，$\overline{\text{HSTROBE}}$ 为低后 $\overline{\text{HAS}}$ 为低	2.1	ns

(1) $\overline{\text{HSTROBE}}$ 引用了 $\overline{\text{HCS}}$，$\overline{\text{HDS1}}$ 和 $\overline{\text{HDS2}}$: [不是(HDS1 XOR HDS2)] 或 $\overline{\text{HCS}}$

(2) P = 1/CPU 时钟频率 单位ns. 例如, 当运行部分为 720 MHz, 使用 P = 1.39 ns.

(3) 片选信号包括: HCNTL[1:0] 和 HR/$\overline{\text{W}}$. 当HPI16模式时, 片选信号还包括 HHWIL

(4) 无论多大选择参数值为4P 或 12.5 ns。.

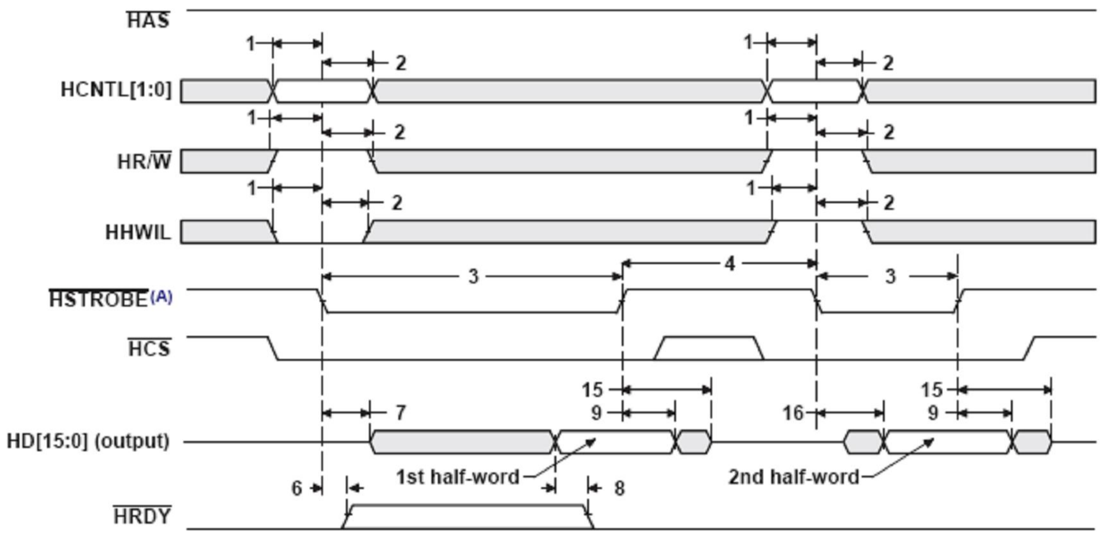
表 5-40. 在推荐操作条件下HPI周期转换特性(1) (2) (参考图5-38 —图 5-45)

序号		−500 −600 −720		单位
		MIN	MAX	
6	$t_{d(HSTBL-HRDYH)}$ 延迟时间 $\overline{\text{HSTROBE}}$ 低到 $\overline{\text{HRDY}}$ 高	1.3	4P＋8	ns
7	$t_{d(HSTBL-HDLZ)}$ 延迟时间 $\overline{\text{HSTROBE}}$ 低HD低 在HPI读时	2		ns
8	$t_{d(HDV-HRDYL)}$ 延迟时间 HD有效到 $\overline{\text{HRDY}}$ 低	-3		ns
9	$t_{oh(HSTBH-HDV)}$ 输出保持时间 $\overline{\text{HSTROBE}}$ 高电平之后HD有效	1.5		ns
15	$t_{d(HSTBH-HDHZ)}$ 延迟时间 $\overline{\text{HSTROBE}}$ 高到HD高阻		12	ns
16	$t_{d(HSTBL-HDV)}$ 延迟时间 $\overline{\text{HSTROBE}}$ 低到HD有效（HPI16模式，只是第二个半字)		4P+8	ns

(1) $\overline{\text{HSTROBE}}$ 引用了 $\overline{\text{HCS}}$，$\overline{\text{HDS1}}$ 和 $\overline{\text{HDS2}}$: [不是(HDS1 XOR HDS2)] 或 $\overline{\text{HCS}}$

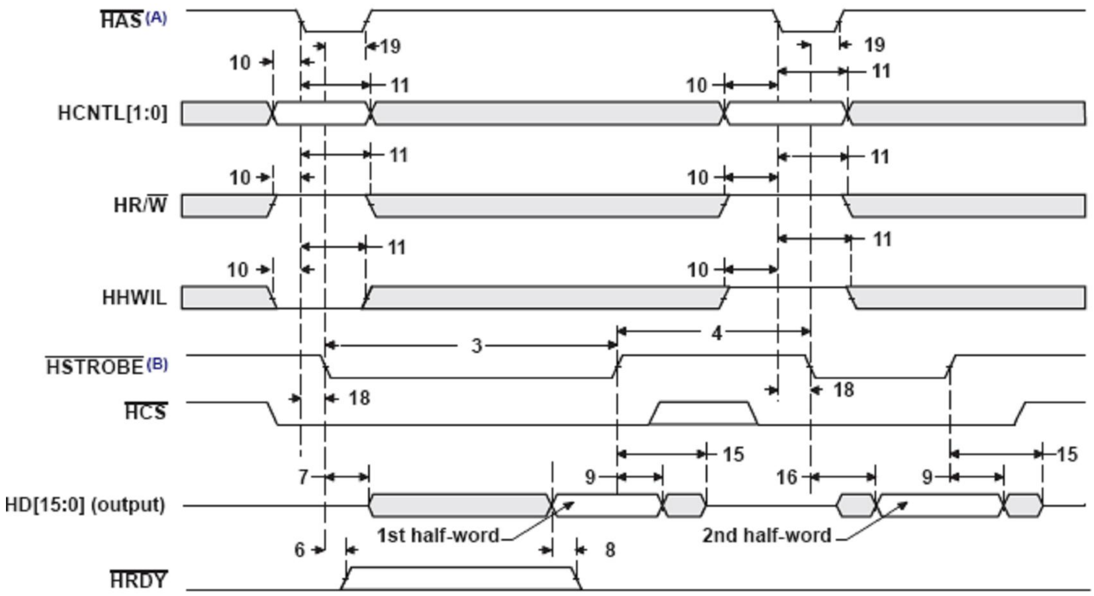
(2) P = 1/CPU 时钟频率 单位ns. 例如, 当运行部分为 720 MHz, 使用 P = 1.39 ns.

(3) 这个参数在HPID读和写时用到。对于读，在一个字转换（HPI32）开始时或在 $\overline{\text{HSTROBE}}$ 下降沿第一个半字转换（HPI16）时，HPI向EDMA内部地址产生器发送请求，并且 $\overline{\text{HRDY}}$ 保持高电平直到EDMA内部地址产生器载入请求数据到HPID。对于写，如果内部写缓冲器满时，$\overline{\text{HRDY}}$ 为高电平。



A． $\overline{\text{HSTROBE}}$ 引用了 $\overline{\text{HCS}}$，$\overline{\text{HDS1}}$ 和 $\overline{\text{HDS2}}$: [不是(HDS1 XOR HDS2)] 或 $\overline{\text{HCS}}$

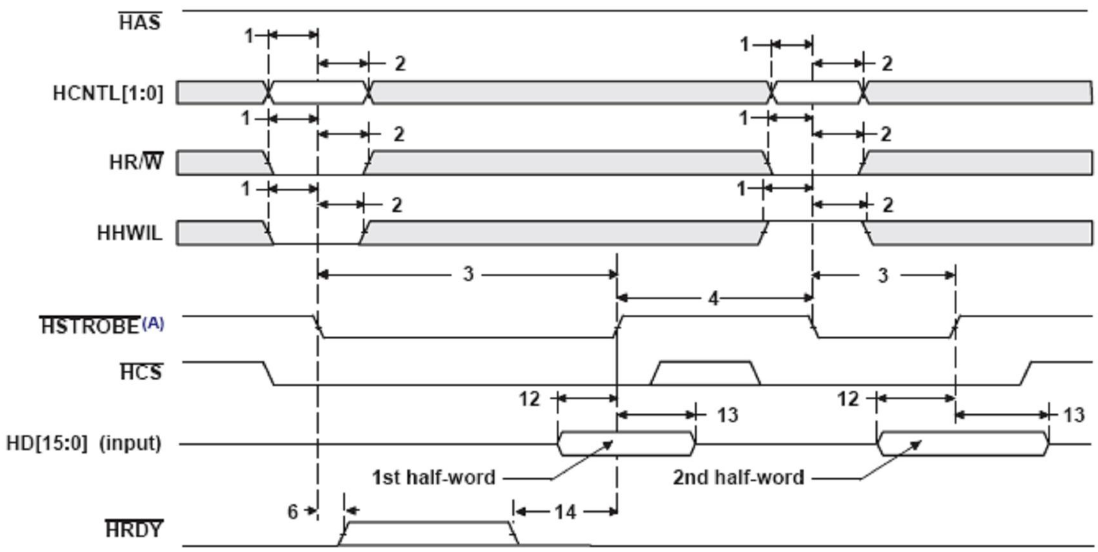
图5-38 HPI16读时序（$\overline{\text{HAS}}$ 没用，强制为高电平）



A． 对于目前操作，只在每一次 $\overline{\text{HSTROBE}}$ 有效周期内选通 $\overline{\text{HAS}}$ 信号

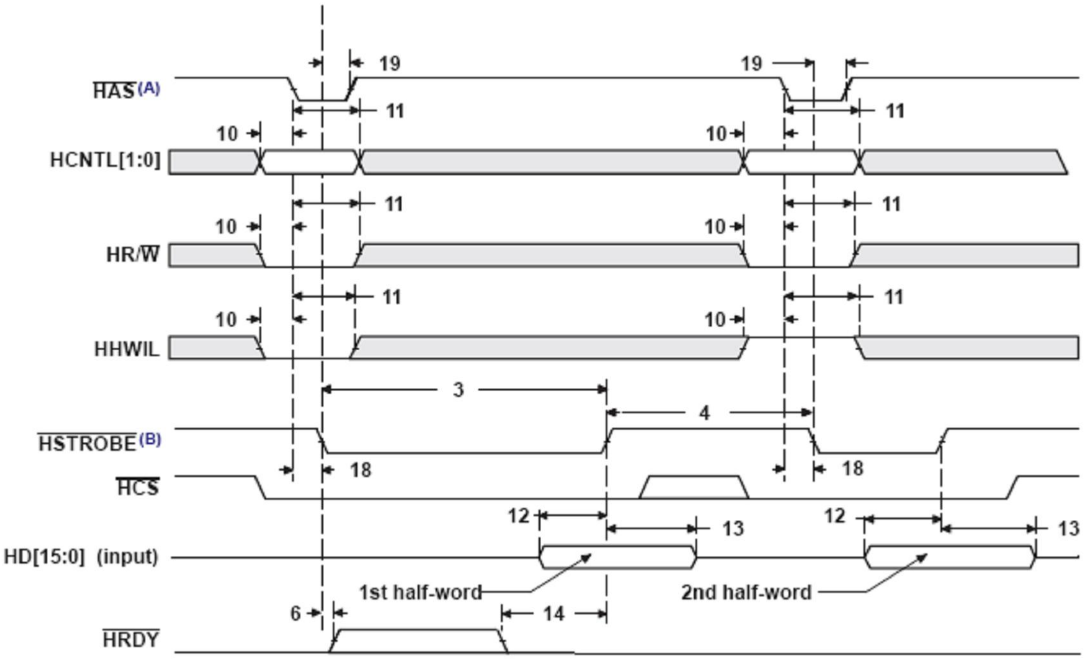
B． $\overline{\text{HSTROBE}}$ 引用了 $\overline{\text{HCS}}$，$\overline{\text{HDS1}}$ 和 $\overline{\text{HDS2}}$: [不是(HDS1 XOR HDS2)] 或 $\overline{\text{HCS}}$

图5-39 HPI16读时序（使用 $\overline{\text{HAS}}$）



A． $\overline{HSTROBE}$ **引用了** $\overline{HCS}$，$\overline{HDS1}$ **和** $\overline{HDS2}$: [**不是**(HDS1 XOR HDS2)] **或** $\overline{HCS}$

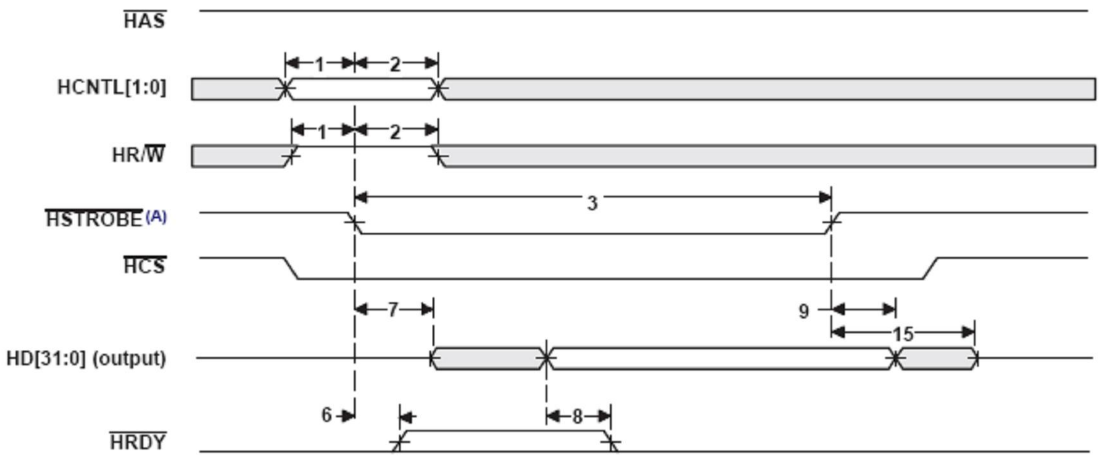
图5-40 HPI16**写时序（**$\overline{HAS}$ **没用，强制为高电平）**



A． **对于目前操作，只在每一次** $\overline{HSTROBE}$ **有效周期内选通** $\overline{HAS}$ **信号**

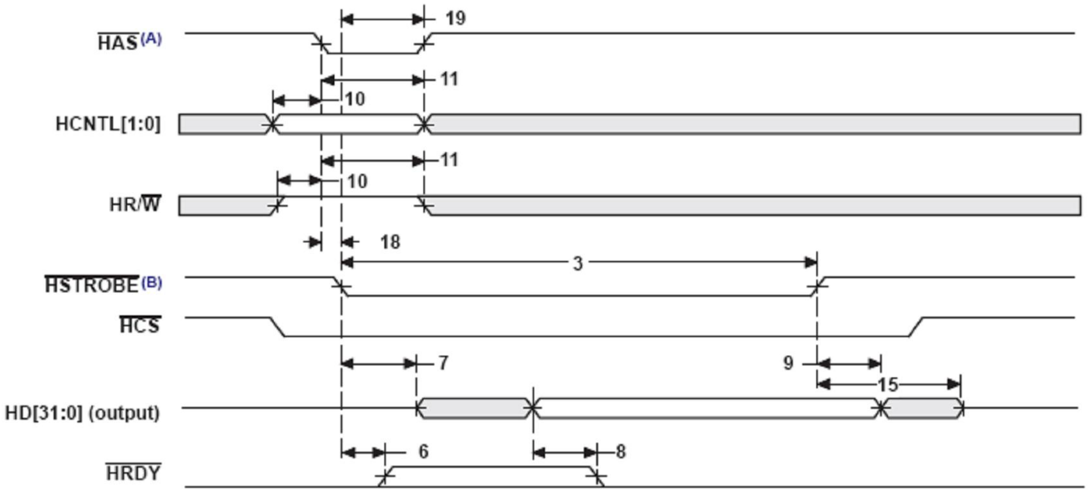
B． $\overline{HSTROBE}$ **引用了** $\overline{HCS}$，$\overline{HDS1}$ **和** $\overline{HDS2}$: [**不是**(HDS1 XOR HDS2)] **或** $\overline{HCS}$

图5-41 HPI16**写时序（使用** $\overline{HAS}$ **）**



A． $\overline{\text{HSTROBE}}$ 引用了 $\overline{\text{HCS}}$，$\overline{\text{HDS1}}$ 和 $\overline{\text{HDS2}}$: [不是(HDS1 XOR HDS2)] 或 $\overline{\text{HCS}}$

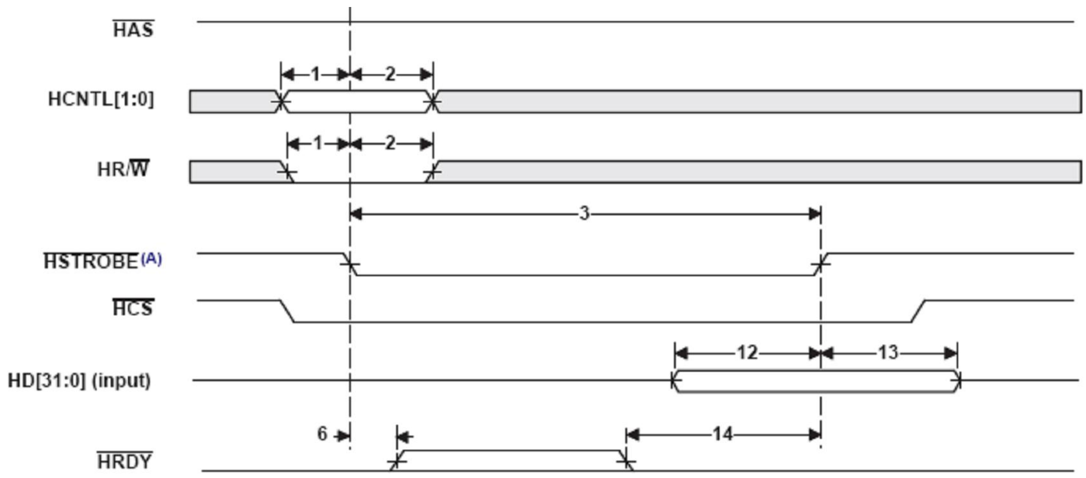
图5-42 HPI读时序（$\overline{\text{HAS}}$ 没用，强制为高电平）



A． 对于目前操作，只在每一次 $\overline{\text{HSTROBE}}$ 有效周期内选通 $\overline{\text{HAS}}$ 信号

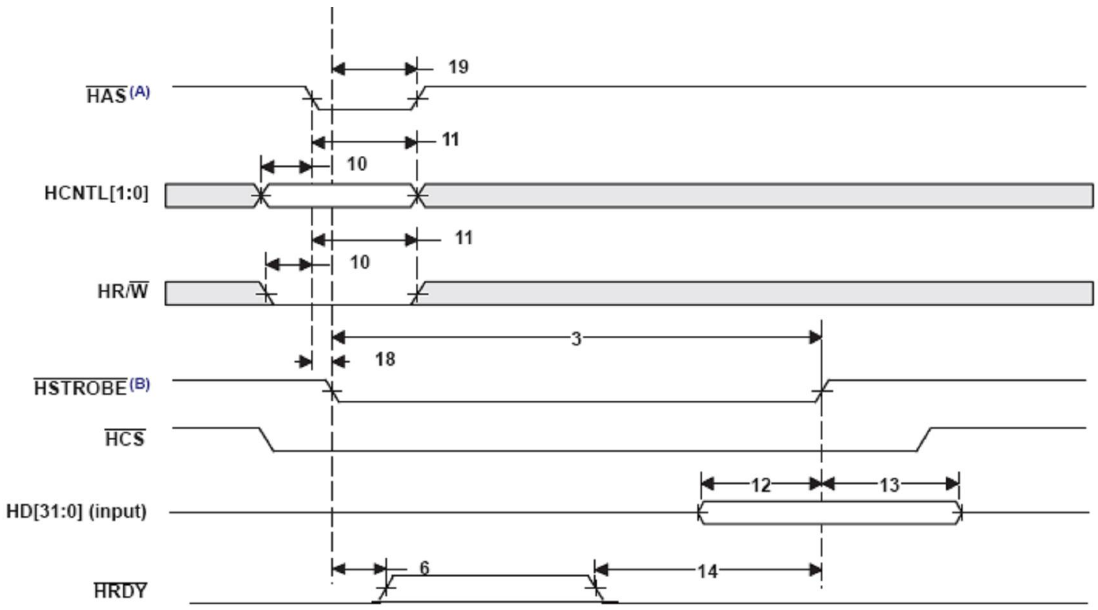
B． $\overline{\text{HSTROBE}}$ 引用了 $\overline{\text{HCS}}$，$\overline{\text{HDS1}}$ 和 $\overline{\text{HDS2}}$: [不是(HDS1 XOR HDS2)] 或 $\overline{\text{HCS}}$

图5-43 HPI32读时序（使用 $\overline{\text{HAS}}$）



A． $\overline{\text{HSTROBE}}$ 引用了 $\overline{\text{HCS}}$，$\overline{\text{HDS1}}$ 和 $\overline{\text{HDS2}}$: [不是(HDS1 XOR HDS2)] 或 $\overline{\text{HCS}}$

图5-44 HPI32写时序（$\overline{\text{HAS}}$ 没用，强制为高电平）



A． **对于目前操作，只在每一次** $\overline{HSTROBE}$ **有效周期内选通** $\overline{HAS}$ **信号**

B． $\overline{HSTROBE}$ **引用了** $\overline{HCS}$，$\overline{HDS1}$ **和** $\overline{HDS2}$: [**不是**(HDS1 XOR HDS2)] **或** $\overline{HCS}$

图5-45 HPI32**写时序（使用** $\overline{HAS}$ **）**

5.12 外围部件互连标准

通过集成的 PCI 主/从设备总线接口，TMS320C6000 的 PCI 口支持 DSP 和一个 PCI 主机的连接。对于 C64x 器件，像 DM642,通过 EDMA 控制器实现 PCI 口和 DSP 的接口。这种结构考虑到 PCI 主设备和从设备处理，并可以使 DMA/EDMA 通道资源用于其他应用。

5.12.1 PCI 特殊引脚

DM642 支持多种外部接口：32 位的 HPI 或者是 16 位 HPI 和 EMAC/MDIO 的组合。这就给使用者提供了以下多种选择：

- 32 位、66MHz 的PCI 总线
- 32 位 HPI
- 16 位 HPI 和 EMAC/MDIO 的组合

更多信息可查看 SPRU581

5.12.2 PCI 存储映射的外设寄存器

表 5-41 PCI 外部设备寄存器

16进制地址范围	首字母缩写	寄存器名称
01C0 0000	RSTSRC	DSP 源/状态重置寄存器
01C0 0004	–	保留
01C0 0008	PCIIS	PCI中断源寄存器
01C0 000C	PCIIEN	PCI 中断使能寄存器
01C0 0010	DSPMA	DSP 主要的控制寄存器
01C0 0014	PCIMA	PCI 主要的地址寄存器
01C0 0018	PCIMC	PCI 主要的控制寄存器
01C0 001C	CDSPA	当前的DSP 地址寄存器
01C0 0020	CPCIA	当前 PCI 地址寄存器
01C0 0024	CCNT	当前的字节计数寄存器
01C0 0028	–	保留
01C0 002C – 01C1 FFEF	–	保留
0x01C1 FFF0	HSR	主机状态寄存器
0x01C1 FFF4	HDCR	Host-to-DSP 控制寄存器
0x01C1 FFF8	DSPP	DSP页寄存器
0x01C1 FFFC	–	保留

01C2 0000	EEADD	EEPROM 地址寄存器
01C2 0004	EEDAT	EEPROM 数据寄存器
01C2 0008	EECTL	EEPROM 控制寄存器
01C2 000C – 01C2 FFFF	–	保留
01C3 0000	PCI_TRCTL	PCI 传输请求寄存器
01C3 0004 – 01C3 FFFF	–	保留

5.12.3 PCI 电气数据/时序

5.12.3 PCI 时序

表 5-42 PCLK 的时序要求(1) (2) (见表 5-46)

序号		–500, A-600 [33 MHz] MIN	–500, A-600 [33 MHz] MAX	–600, –720 [66 MHz] MIN	–600, –720 [66 MHz] MAX	单位
1	$t_{c(PCLK)}$ 周期, PCLK	30 (or 4P(3))		15 (or 4P(3))		ns
2	$t_{w(PCLKH)}$ 脉冲宽度, PCLK 高	11		6		ns
3	$t_{w(PCLKL)}$ 脉冲宽度, PCLK 低	11		6		ns
4	$t_{sr(PCLK)}$ $\Delta v/\Delta t$ 回转率, PCLK	1	4	1.5	4	V/ns

（1） 对于 3.3 V 的操作来说，上升和下降的过渡参照点在V_{ILP}最大和V_{IHP}最小测量。

（2） P＝1/CPU时钟频率单位ns .例如，当前时钟频率为720MHz, P=1.39ns

（3） 选择较大的那一个参数值。

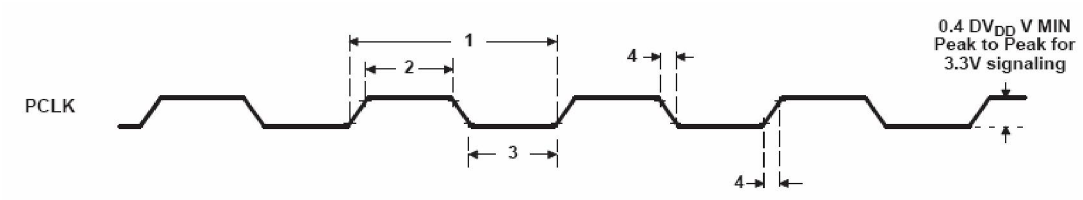


图 5-46 PCLK 时序

表 5-43.PCI复位时序要求（见表图-47）

序号		–500 –600 –720 MIN	–500 –600 –720 MAX	UNIT
1	$t_{w(PRST)}$ 脉冲宽度，$\overline{PRST}$	1		ms
2	$t_{su(PCLKA-PRSTH)}$建立时间，在$\overline{PRST}$高电平之前PCLK起作用	100		µs

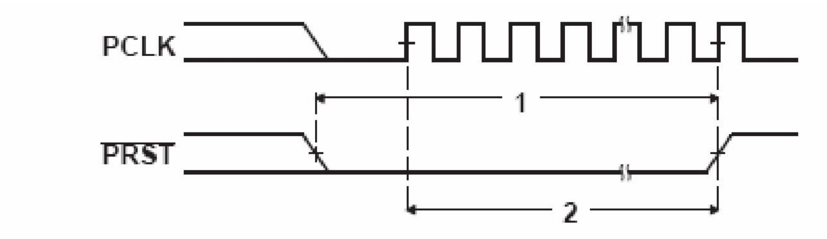


表 5-47　PCI 复位时序

表 5-44. PCI 输入的时序要求 (见图 5-48)

序号		–500, A-600		–600		单位
		33 MHz		66 MHz		
		MIN	MAX	MIN	MAX	
4	$t_{su(IV-PCLKH)}$ 设定时间,在PCLK高电平以前输入有效	7		3		ns
5	$t_{h(IV-PCLKH)}$ 保持时间，高电平之后输入有效	0		0		ns

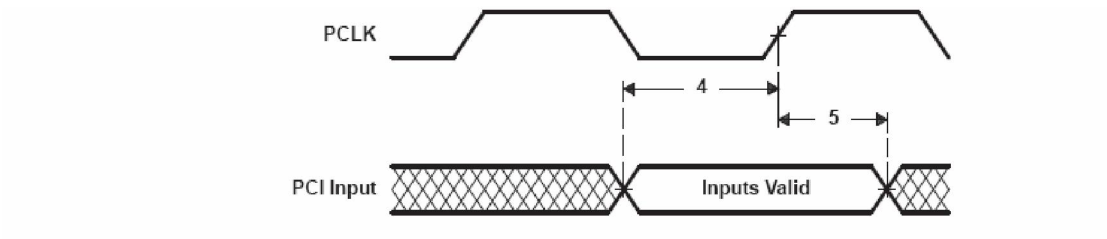


图 5-48　PCI 输入时序(33-/66-MHz)

表 5-45 根据推荐的操作条件得出的 PCI 输出转换特性（见图 5-49）

序号	参数	–500, A-600		–500, A-600		单位
		33 MHz		33 MHz		
		MIN	MAX	MIN	MAX	
1	$t_{d(PCLKH-OV)}$ 延迟时间, PCLK 高电平到输出有效	2	11	2	6	ns
2	$t_{d(PCLKH-OLZ)}$ 延迟时间,PCLK 高电平到输出低阻抗	2		2		ns
3	$t_{d(PCLKH-OHZ)}$ 延迟时间，PCLK 高电平到输出高阻抗		28		14	ns

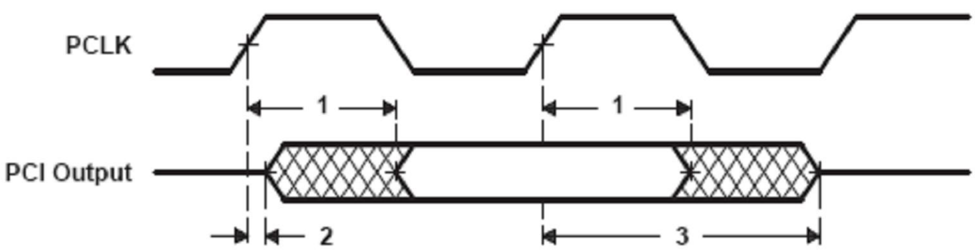


图 5-49 PCI 输出时序（33-/66-MHz）

表 5-46 串行 EEPROM 接口时序要求（见图 5-50）

序号		–500 –600		单位
		MIN	MAX	
8	$t_{su(DIV-CLKH)}$ 设定时间, XSP_DI在 XSP_CLK高电平之前有效	50		ns
9	$t_{h(CLKH-DIV)}$ 保持时间, XSP_DI在 XSP_CLK高电平之后有效	0		ns

表 5-47根据推荐的操作条件得出的串行EEPROM转换特性(见图5-50)

序号	参数	–500 –600 –720			单位
		MIN	TYP	MAX	
1	$t_{w(CSL)}$ 脉冲宽度, XSP_CS 低		2046P		ns
2	$t_{d(CLKL-CSL)}$ 延迟时间, XSP_CLK低电平XSP_CS低电平		0		ns
3	$t_{d(CSH-CLKH)}$延迟时间, XSP_CS 高电平到XSP_CLK 高电平		2046P		ns
4	$t_{w(CLKH)}$ 脉冲宽度, XSP_CLK 高电平		2046P		ns
5	$t_{w(CLKL)}$ 脉冲宽度, XSP_CLK 低电平		2046P		ns
6	$t_{osu(DOV-CLKH)}$ 输出设定时间, XSP_DO在XSP_CLK 高电平之前有效		2046P		ns
7	$t_{oh(CLKH-DOV)}$ 输出持续时间, XSP_DO在XSP_CLK 高电平之后有效		2046P		ns

（1）P＝1/CPU时钟频率单位ns .例如，当前时钟频率为720MHz, P=1.39ns

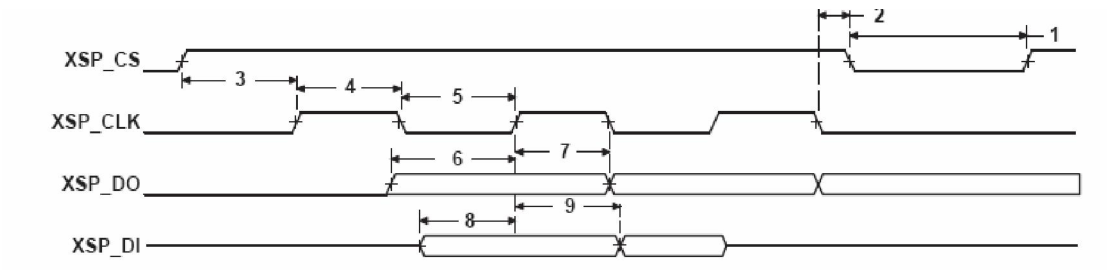


图 5-50 PCI 串行 EEPROM 接口时序

5.13 多通道缓冲串口（McBSP）

McBSP 具有这些功能：

- 全双工通信
- 双缓冲数据寄存器，允许连续的数据流
- 收发独立的帧同步和时钟信号
- 可与工业标准的编/解码器、模拟接口芯片（AICs）以及其他串行模数（A/D）和数模（D/A）接口
- 数据传输可以利用外部时钟或片内可编程时钟

关于 McBSP 更详细信息可见 *TMS320C6000 DSP Multichannel Buffered Serial Port (McBSP) Reference Guide* (文献号 SPRU580)。

5.13.1 McBSP 寄存器描述

表 5-48 McBSP0 寄存器

十六进制地址范围	缩写	寄存器名	注释
018C 0000	DRR0	通过配置总线的 McBSP0 数据接收寄存器	只有 CPU 和 EDMA 控制器能读这个寄存器；它们不能写此寄存器
0x3000 0000 – 0x33FF FFFF	DRR0	通过外设总线的 McBSP0 数据接收寄存器	
018C 0004	DXR0	通过配置总线的 McBSP0 数据发送寄存器	
0x3000 0000 – 0x33FF FFFF	DXR0	通过外设总线的 McBSP0 数据发送寄存器	
018C 0008	SPCR0	McBSP0 串行口控制寄存器	
018C 000C	RCR0	McBSP0 接收控制寄存器	
018C 0010	XCR0	McBSP0 发送控制寄存器	
018C 0014	SRGR0	McBSP0 采样率发生器寄存器	
018C 0018	MCR0	McBSP0 多通道控制寄存器	
018C 001C	RCERE00	McBSP0 增强的接收通道使能寄存器 0	
018C 0020	XCERE00	McBSP0 增强的发送通道使能寄存器 0	
018C 0024	PCR0	McBSP0 引脚控制寄存器	
018C 0028	RCERE10	McBSP0 增强的接收通道使能寄存器 1	
018C 002C	XCERE10	McBSP0 增强的发送通道使能寄存器 1	
018C 0030	RCERE20	McBSP0 增强的接收通道使能寄存器 2	
018C 0034	XCERE20	McBSP0 增强的发送通道使能寄存器 2	

018C 0038	RCERE30	McBSP0 增强的接收通道使能寄存器 3	
018C 003C	XCERE30	McBSP0 增强的发送通道使能寄存器 3	
018C 0040 – 018F FFFF	–	保留	

表 5-49 McBSP1 寄存器

十六进制地址范围	缩写	寄存器名	注释
0190 0000	DRR1	通过配置总线的 McBSP1 数据接收寄存器	只有 CPU 和 EDMA 控制器能读这个寄存器；它们不能写此寄存器
0x3400 0000 – 0x37FF FFFF	DRR1	通过外设总线的 McBSP1 数据接收寄存器	
0190 0004	DXR1	通过配置总线的 McBSP1 数据发送寄存器	
0x3400 0000 – 0x37FF FFFF	DXR1	通过外设总线的 McBSP1 数据发送寄存器	
0190 0008	SPCR1	McBSP1 串行口控制寄存器	
0190 000C	RCR1	McBSP1 接收控制寄存器	
0190 0010	XCR1	McBSP1 发送控制寄存器	
0190 0014	SRGR1	McBSP1 采样率发生器寄存器	
0190 0018	MCR1	McBSP1 多通道控制寄存器	
0190 001C	RCERE01	McBSP1 增强的接收通道使能寄存器 0	
0190 0020	XCERE01	McBSP1 增强的发送通道使能寄存器 0	
0190 0024	PCR1	McBSP1 引脚控制寄存器	
0190 0028	RCERE11	McBSP1 增强的接收通道使能寄存器 1	
0190 002C	XCERE11	McBSP1 增强的发送通道使能寄存器 1	
0190 0030	RCERE21	McBSP1 增强的接收通道使能寄存器 2	
0190 0034	XCERE21	McBSP1 增强的发送通道使能寄存器 2	
0190 0038	RCERE31	McBSP1 增强的接收通道使能寄存器 3	
0190 003C	XCERE31	McBSP1 增强的发送通道使能寄存器 3	
0190 0040 – 0193 FFFF	–	保留	

5.13.2 McBSP 电气数据/时序

5.13.2.1 多通道缓冲串行口（McBSP）时序

表 5-50 McBSP 时序要求[1]（见图 5-51）

NO.			-500 -600 -720 最小　　最大	单位
2	$t_{c(CKRX)}$ 周期, CLKR/X	CLKR/外部	4Por6.67[2][3]	ns
3	$t_{w(CKRX)}$ 脉冲宽度, CLKR/X 高或 CLKR/X 低	CLKR/外部	$0.5t_{c(CKRX)} - 1$[4]	ns
5	$t_{su(FRH-CKRL)}$ 建立时间，在 CLKR 低之前外部 FSR 高	CLKR 内部	9	ns
		CLKR 外部	1.3	
6	Th(CKRL-FRH) 保持，在 CLKR 低之后外部 FSR 高	CLKR 内部	6	ns
		CLKR 外部	3	
7	$t_{su(DRV-CKRL)}$ 建立时间，在 CLKR 低之前 DR 有效	CLKR 内部	8	ns
		CLKR 外部	0.9	
8	$t_{h(CKRL-DRV)}$ 保持时间，在 CLKR 低之后 DR 有效	CLKR 内部	3	ns
		CLKR 外部	3.1	
10	$t_{su(FXH-CKXL)}$ 建立时间，在 CLKR 低之前外部 FSX 高	CLKX 内部	9	ns
		CLKX 外部	1.3	
11	$t_{h(CKXL-FXH)}$ 保持，在 CLKR 低之后外部 FSX 高	CLKX 内部	6	ns
		CLKX 外部	3	

(1) CLKRP = CLKXP = FSRP = FSXP = 0. 如果任何一个信号方向，此信号的时序也反向。.

(2) P=1/CPU 时钟频率 ns。例如，当器件运行在 720MHz 时，P=1.39ns。

(3) 无论哪一个使用大的那个值。即使 CLKR/X 由内部时钟源产生， CLKR/X 的最小时钟周期必须被遇到。

(4) 这个参数适用于最大 McBSP 频率。串行时钟（CLKR/X）操作在合理的 40/60 占空比范围之内。

表 5-51 推荐操作条件下 McBSP 转换特性[1][2]（见图 5-51）

NO.		-500 -600 -720 最小		单位
		最小	最大	
1	$t_{d(CKSH-CKRXH)}$ 延迟时间，CLKS 高到 CLKR/X 高 由内部 CLKR/X 产生 从 CLKS 输入	1.4	10	ns

2	$t_{c(CKRX)}$ 周期, CLKR/X	CLKR/X 内部	4P 或 6.67[3][4][5]		ns
3	$t_{w(CKRX)}$ 脉冲宽度, CLKR/X 高或 CLKR/X 低	CLKR/X 内部	C－1[6]	C + 1[6]	ns
4	$t_{d(CKRH-FRV)}$ 延迟时间, CLKR 高到内部 FSR 有效	CLKR 内部	－2.1	3	ns
9	$t_{d(CKXH-FXV)}$ 延迟时间, CLKX 高到内部 FSX 有效	CLKX 内部	－1.7	3	ns
		CLKX 外部	1.7	9	
12	$t_{dis(CKXH-DXHZ)}$ 使能时间, CLKX 高的最后一个数据位之后 DX 高阻	CLKX 内部	－3.9	4	ns
		CLKX 外部	－2.1	9	
13	$t_{d(CKXH-DXV)}$ 延迟时间, CLKX 高到 DX 有效	CLKX 内部	－3.9 + D1[7]	4 + D2[7]	ns
		CLKX 外部	－2.1 + D1[7]	9 + D2[7]	
14	$t_{d(FXH-DXV)}$ 延迟时间, FSX 高到 DX 有效 只应用于数据延迟 00 (XDATDLY = 00b)模式	FSX 内部	－2.3 + D1[8]	5.6 + D2[8]	ns
		FSX 外部	1.9 + D1[8]	9 + D2[8]	

(1) CLKRP = CLKXP = FSRP = FSXP = 0. 如果任何一个信号方向，此信号的时序也反向。.

(2) 最小的延迟时间也表示最小输出保持时间。

(3) 即使 CLKR/X 由内部时钟源产生， CLKR/X 的最小时钟周期必须被遇到。最小 CLKR/X 周期基于内部逻辑速度；最大可用速度可能较低，这是因为 EDMA 限制和 AC 时序要求。

(4) P=1/CPU 时钟频率 ns。例如，当器件运行在 720MHz 时，P=1.39ns。

(5) 使用值较大的那一个。

(6) C=H 或 L

S=采样率产生器 输入时钟＝4P 如果 CLKSM＝1（P=1/CPU 时钟频率）

S=采样率产生器 输入时钟＝P_clks 如果 CLKSM＝0（P_clks=CLKS 周期）

H = CLKX 高 脉冲宽度= (CLKGDV/2 + 1) * S 如果 CLKGDV 是偶数

H = (CLKGDV + 1)/2 * S 如果 CLKGDV 是奇数或 0

L = CLKX 低 脉冲宽度= (CLKGDV/2) * S 如果 CLKGDV 是偶数

L = (CLKGDV + 1)/2 * S 如果 CLKGDV 是奇数或 0

必须适当设置 CLKGDV 以保证 McBSP 位率不超过最大限制（见以上（4））

(7) 当且仅当 SPCR 中 DXENA＝1 时,从 CLKX 高到 DX 有效的额外延迟只用在一个器件的第一个数据位。

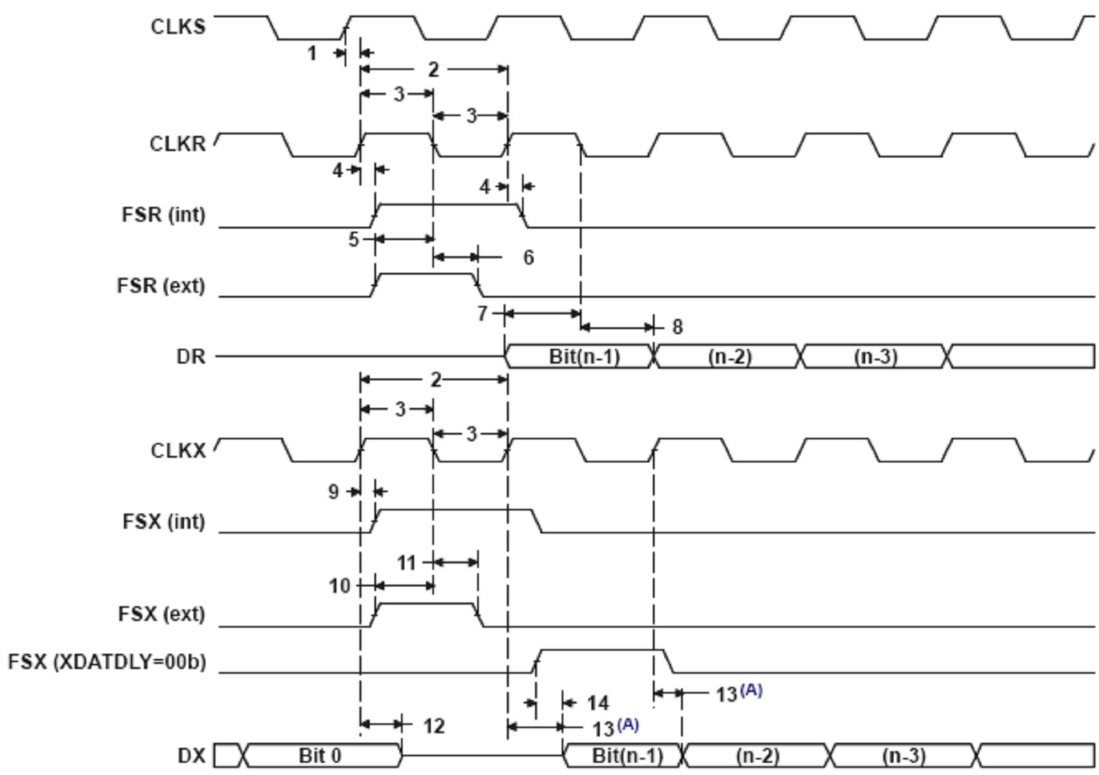
如果 DXENA = 0,那么 D1 = D2 = 0

如果 DXENA = 1, 那么 D1 = 4P, D2 = 8P

(8) 当且仅当 SPCR 中 DXENA＝1 时，从 FSX 高到 DX 有效的额外延迟只用在一个器件的第一个数据位。

如果 DXENA = 0, 那么 D1 = D2 = 0

如果 DXENA = 1, 那么 D1 = 4P, D2 = 8P



A．当 XDATLDY≠0 时，参数 13 只用第一个数据位。

图 5-51 McBSP 时序

表 5-52 当 GSYNC＝1 时 FSR 时序要求（见图 5-52）

NO.		-500 -600 -720		单位
		最小	最大	
1	$t_{su(FRH-CKSH)}$ 建立时间， 在 CLKS 高之前 FSR 高	4		ns
2	$t_{h(CKSH-FRH)}$ Hold time, 在 CLKS 高之后 FSR 高	4		ns

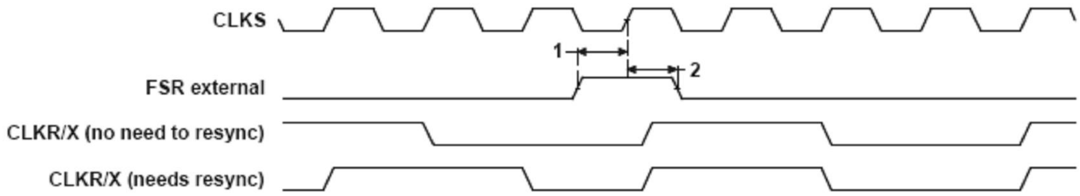


图 5-52 当 GSYNC＝1 时 FSR 时序

表 5-53 当 SPI 主或从时 McBSP 时序要求: CLKSTP = 10b, CLKXP = 0[(1)(2)](见图 5-53)

NO.		-500 -600 -720	单位

		主		从		
		最小	最大	最小	最大	
4	$t_{su(DRV-CKXL)}$ 建立时间,在 CLKX 低之前 DR 有效	12		2–12P		ns
5	$t_{h(CKXL-DRV)}$ 保持时间，在 CLKX 低之后 DR 有效	4		5+24P		ns

（1） P=1/CPU 时钟频率 ns。例如，当器件运行在 720MHz 时，P=1.39ns。

（2） 对于所有 SPI 从模式，通过设置 CLKSM = CLKGDV = 1，CLKG 被编程为 1/4CPU 时钟。

表 5-54 在推荐操作条件下 当 SPI 主或从模式时：CLKSTP = 10b CLKXP = 0 McBSP 的转换特性(1)(2) (见图 5-53)

NO.	参数		-500 -600 -720				单位
			主		从		
			最小	最大	最小	最大	
1	$t_{h(CKXL-FXL)}$	保持时间，在 CLKX 低(4)之后 FSX 低	T－2	T + 3			ns
2	$t_{d(FXL-CKXH)}$	延迟时间, FSX 低到 CLKX 高(5)	L－2.5	L+3			ns
3	$t_{d(CKXH-DXV)}$	延迟时间, CLKX 高到 DX 有效	－2	4	12P+2.8	20P＋17	ns
6	$t_{dis(CKXL-DXHZ)}$	使能时间,从 CLKX 低的最后一个数据之后 DX 高阻	L－2	L+3			ns
7	$t_{dis(FXH-DXHZ)}$	使能时间，从 FSX 高的最后一个数据之后 DX 高阻			4P+3	12P＋17	ns
8	$t_{d(FXL-DXV)}$	延迟时间, FSX 低到 DX 有效			8P+1.8	16P＋17	ns

（1） P=1/CPU 时钟频率 ns。例如，当器件运行在 720MHz 时，P=1.39ns。

（2） 对于所有 SPI 从模式，通过设置 CLKSM = CLKGDV = 1，CLKG 被编程为 1/4CPU 时钟。

（3） S=采样率产生器 输入时钟＝4P 如果 CLKSM＝1（P=1/CPU 时钟频率）

S=采样率产生器 输入时钟＝P_clks 如果 CLKSM＝0（P_clks=CLKS 周期）

T=CLKX 周期＝(1 + CLKGDV) * S

H = CLKX 高 脉冲宽度= (CLKGDV/2 + 1) * S 如果 CLKGDV 是偶数

H = (CLKGDV + 1)/2 * S 如果 CLKGDV 是奇数或 0

L = CLKX 低 脉冲宽度= (CLKGDV/2) * S 如果 CLKGDV 是偶数

L = (CLKGDV + 1)/2 * S 如果 CLKGDV 是奇数或 0

（4） FSRP=FSXP=1.当 SPI 为主模式时，FSX 反向，为低有效的从模式使能提供输出。当从模式时，低有效信号输入 FSX，FSR 在被内部使用之前反向。

CLKXM = FSXM = 1, CLKRM = FSRM = 0 对于主模式 McBSP

CLKXM = CLKRM = FSXM = FSRM = 0 对于从模式 McBSP

（5） FSX 在时钟上升沿之前应该被设置为低电平，以使能从模式器件，然后在主模式时钟（CLKX）上升沿时开始 SPI 传输。

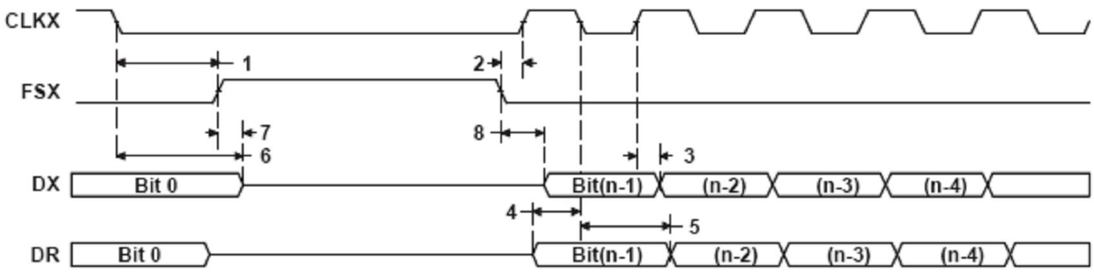


图 5-53 MCBSP 时序 当 SPI 为主或从模式时 CLKSTP = 10b, CLKXP = 0

表 5-55 SPI 为主或从模式时 McBSP 时序要求 CLKSTP = 11b, CLKXP = 0(1)(2)

(见图 5-54)

NO.		-500 -600 -720				单位
		主		从		
		最小	最大	最小	最大	
4	$t_{su(DRV-CKXH)}$ 建立时间,在 CLKX 高之前 DR 有效	12		2–12P		ns
5	$t_{h(CKXH-DRV)}$ 保持时间，在 CLKX 高之后 DR 有效	4		5+24P		ns

（1） P=1/CPU 时钟频率 ns。例如，当器件运行在 720MHz 时，P=1.39ns。

（2） 对于所有 SPI 从模式，通过设置 CLKSM = CLKGDV = 1，CLKG 被编程为 1/4CPU 时钟。

表 5-56 在推荐操作条件下 当 SPI 主或从模式时：CLKSTP = 11b CLKXP = 0 McBSP 的转换特性(1)(2) (见图 5-54)

NO.	参数	-500 -600 -720				单位
		主		从		
		最小	最大	最小	最大	
1	$t_{h(CKXL-FXL)}$ 保持时间，在 CLKX 低(4)之后 FSX 低	L－2	L + 3			ns
2	$t_{d(FXL-CKXH)}$ 延迟时间, FSX 低到 CLKX 高(5)	T－2.5	T+3			ns
3	$t_{d(CKXH-DXV)}$ 延迟时间, CLKX 高到 DX 有效	－2	4	12P+2.8	20P＋17	ns

6	$t_{dis(CKXL-DXHZ)}$	使能时间,从 CLKX 低的最后一个数据之后 DX 高阻	－2	4	12P+2.8	20P＋17	ns
7	$t_{d(FXL-DXV)}$	延迟时间, FSX 低到 DX 有效	H+2	H+4	8P+2	16P＋17	ns

(1) P=1/CPU 时钟频率 ns。例如，当器件运行在 720MHz 时，P=1.39ns。

(2) 对于所有 SPI 从模式，通过设置 CLKSM = CLKGDV = 1，CLKG 被编程为 1/4CPU 时钟。

(3) S=采样率产生器 输入时钟＝4P 如果 CLKSM＝1（P=1/CPU 时钟频率）

S=采样率产生器 输入时钟＝P_clks 如果 CLKSM＝0（P_clks=CLKS 周期）

T=CLKX 周期＝(1 + CLKGDV) * S

H = CLKX 高 脉冲宽度= (CLKGDV/2 + 1) * S 如果 CLKGDV 是偶数

H = (CLKGDV + 1)/2 * S 如果 CLKGDV 是奇数或 0

L = CLKX 低 脉冲宽度= (CLKGDV/2) * S 如果 CLKGDV 是偶数

L = (CLKGDV + 1)/2 * S 如果 CLKGDV 是奇数或 0

(4) FSRP=FSXP=1.当 SPI 为主模式时，FSX 反向，为低有效的从模式使能提供输出。当从模式时，低有效信号输入 FSX，FSR 在被内部使用之前反向。

CLKXM = FSXM = 1, CLKRM = FSRM = 0 对于主模式 McBSP

CLKXM = CLKRM = FSXM = FSRM = 0 对于从模式 McBSP

(5) FSX 在时钟上升沿之前应该被设置为低电平，以使能从模式器件，然后在主模式时钟（CLKX）上升沿时开始 SPI 传输。

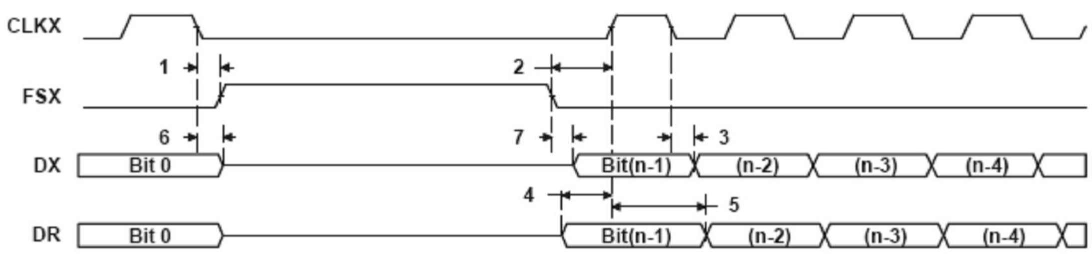


图 5-54 MCBSP 时序 当 SPI 为主或从模式时 CLKSTP = 11b, CLKXP = 0

表 5-57 SPI 为主或从模式时 McBSP 时序要求 CLKSTP = 10b, CLKXP = 1(1)(2)

(见图 5-55)

NO.			-500 -600 -720				单位
			主		从		
			最小	最大	最小	最大	
4	$t_{su(DRV-CKXH)}$	建立时间,在 CLKX 高之前 DR 有效	12		2–12P		ns
5	$t_{h(CKXH-DRV)}$	保持时间，在 CLKX 高之后 DR 有效	4		5+24P		ns

（1） P=1/CPU 时钟频率 ns。例如，当器件运行在 720MHz 时，P=1.39ns。

（2） 对于所有 SPI 从模式，通过设置 CLKSM = CLKGDV = 1，CLKG 被编程为 1/4CPU 时钟。

表 5-58 在推荐操作条件下 当 SPI 主或从模式时：CLKSTP = 11b CLKXP = 0 McBSP 的转换特性(1)(2) (见图 5-55)

NO.	参数		-500 -600 -720				单位
			主		从		
			最小	最大	最小	最大	
1	$t_{h(CKXH-FXL)}$	保持时间，在 CLKX 高(4)之后 FSX 低	T－2	T + 3			ns
2	$t_{d(FXL-CKXL)}$	延迟时间, FSX 低到 CLKX 低(5)	L－2.5	H+3			ns
3	$t_{d(CKXL-DXV)}$	延迟时间, CLKX 低到 DX 有效	－2	4	12P+3	20P＋17	ns
6	$t_{dis(CKXH-DXHZ)}$	使能时间,从 CLKX 高的最后一个数据之后 DX 高阻	H－2	H+3			ns
7	$t_{dis(FXH-DXHZ)}$	使能时间，从 FSX 高的最后一个数据之后 DX 高阻			4P+3	12P＋17	ns
8	$t_{d(FXL-DXV)}$	延迟时间, FSX 低到 DX 有效			8P+1.8	16P＋17	ns

（1） P=1/CPU 时钟频率 ns。例如，当器件运行在 720MHz 时，P=1.39ns。

（2） 对于所有 SPI 从模式，通过设置 CLKSM = CLKGDV = 1，CLKG 被编程为 1/4CPU 时钟。

（3） S=采样率产生器 输入时钟＝4P 如果 CLKSM＝1（P=1/CPU 时钟频率）
S=采样率产生器 输入时钟＝P_clks 如果 CLKSM＝0（P_clks=CLKS 周期）
T=CLKX 周期＝(1 + CLKGDV) * S
H = CLKX 高 脉冲宽度= (CLKGDV/2 + 1) * S 如果 CLKGDV 是偶数
H = (CLKGDV + 1)/2 * S 如果 CLKGDV 是奇数或 0
L = CLKX 低 脉冲宽度= (CLKGDV/2) * S 如果 CLKGDV 是偶数
L = (CLKGDV + 1)/2 * S 如果 CLKGDV 是奇数或 0

（4） FSRP=FSXP=1.当 SPI 为主模式时，FSX 反向，为低有效的从模式使能提供输出。当从模式时，低有效信号输入 FSX，FSR 在被内部使用之前反向。
CLKXM = FSXM = 1, CLKRM = FSRM = 0 对于主模式 McBSP
CLKXM = CLKRM = FSXM = FSRM = 0 对于从模式 McBSP

（5） FSX 在时钟上升沿之前应该被设置为低电平，以使能从模式器件，然后在主模式时钟（CLKX）上升沿时开始 SPI 传输。

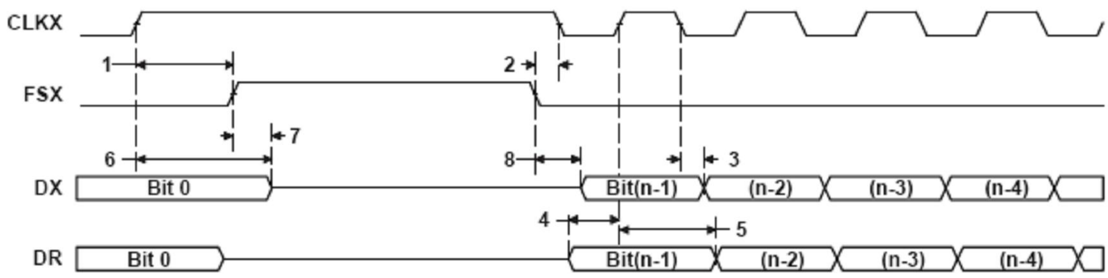


图 5-55 MCBSP 时序 当 SPI 为主或从模式时 CLKSTP = 10b, CLKXP = 1

表 5-59 SPI 为主或从模式时 McBSP 时序要求 CLKSTP = 11b, CLKXP = 1(1)(2)

(见图 5-56)

NO.		-500 -600 -720				单位
		主		从		
		最小	最大	最小	最大	
4	$t_{su(DRV-CKXH)}$ 建立时间,在 CLKX 高之前 DR 有效	12		2–12P		ns
5	$t_{h(CKXH-DRV)}$ 保持时间，在 CLKX 高之后 DR 有效	4		5+24P		ns

（1） P=1/CPU 时钟频率 ns。例如，当器件运行在 720MHz 时，P=1.39ns。

（2） 对于所有 SPI 从模式，通过设置 CLKSM = CLKGDV = 1，CLKG 被编程为 1/4CPU 时钟。

表 5-60 在推荐操作条件下 当 SPI 主或从模式时：CLKSTP = 11b CLKXP = 1 McBSP 的转换特性(1)(2) (见图 5-56)

NO.	参数		-500 -600 -720				单位
			主		从		
			最小	最大	最小	最大	
1	$t_{h(CKXH-FXL)}$	保持时间，在 CLKX 高(4)之后 FSX 低	H－2	H+ 3			ns
2	$t_{d(FXL-CKXL)}$	延迟时间, FSX 低到 CLKX 低(5)	T－2.5	T+1.5			ns
3	$t_{d(CKXH-DXV)}$	延迟时间, CLKX 高到 DX 有效	－2	4	12P+3	20P＋17	ns
6	$t_{dis(CKXH-DXHZ)}$	使能时间,从 CLKX 高的最后一个数据之后 DX 高阻	－2	4	12P+3	20P＋17	ns
7	$t_{d(FXL-DXV)}$	延迟时间, FSX 低到 DX 有效	L+2	L+4	8P+2	16P＋17	ns

（1） P=1/CPU 时钟频率 ns。例如，当器件运行在 720MHz 时，P=1.39ns。

（2） 对于所有 SPI 从模式，通过设置 CLKSM = CLKGDV = 1，CLKG 被编程为 1/4CPU 时钟。

（3） S=采样率产生器 输入时钟＝4P 如果 CLKSM＝1（P=1/CPU 时钟频率）

S=采样率产生器 输入时钟＝P_clks 如果 CLKSM＝0（P_clks=CLKS 周期）

T=CLKX 周期＝(1 + CLKGDV) * S

H = CLKX 高 脉冲宽度= (CLKGDV/2 + 1) * S 如果 CLKGDV 是偶数

H = (CLKGDV + 1)/2 * S 如果 CLKGDV 是奇数或 0

L = CLKX 低 脉冲宽度= (CLKGDV/2) * S 如果 CLKGDV 是偶数

L = (CLKGDV + 1)/2 * S 如果 CLKGDV 是奇数或 0

（4） FSRP=FSXP=1.当 SPI 为主模式时，FSX 反向，为低有效的从模式使能提供输出。当从模式时，低有效信号输入 FSX，FSR 在被内部使用之前反向。

CLKXM = FSXM = 1, CLKRM = FSRM = 0 对于主模式 McBSP

CLKXM = CLKRM = FSXM = FSRM = 0 对于从模式 McBSP

（5） FSX 在时钟上升沿之前应该被设置为低电平，以使能从模式器件，然后在主模式时钟（CLKX）上升沿时开始 SPI 传输。

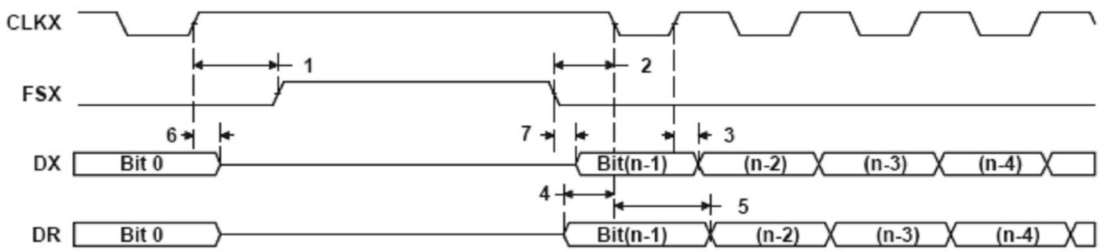


图 5-56 MCBSP 时序 当 SPI 为主或从模式时 CLKSTP = 11b, CLKXP = 1

5.14 视频端口

每个视频端口都能够发送和接收数字视频数据。视频端口也能够采集/显示原始数据。视频端口的外围设备遵循 BT.656 和 SMPTE296 视频标准

5.14.1 视频端口详细信息

TMS320DM642 有三个视频端口外围设备。

视频端口外设可作为视频采集端口，视频显示端口，或作为传输流接口采集端口(TSI)。

此端口由Ａ和Ｂ两个通道组成。在两个通道之间存在一个可分开的5120字节的采集/显示缓冲区。整个端口(全部通道)经常被配置成仅仅进行视频采集或者视频显示。独立的数据流水线控制着对BT.656，Y/C ，原始视频，和TSI模型中每个视频采集或显示数据的解析和格式化。

在视频采集操作中，视频端口可以作为BT.656或者原始视频采集的两个8/10位通道来操作；或者作为8/10位BT.656，8/10位原始视频，16/20位Y/C视频，16/20位原始视频，或8位TSI的一个单通道。在视频显示操作中，视频端口可以作为8/10位BT.656的一个单通道来操作；或者作为8/10位BT.656，8/10位原始视频，16/20位Y/C视频，16/20位原始视频I的一个单通道。它也可以在两个通道的8/10位原始模型中操作，在这个模型中这两个通道被锁定到相同的时间。在单通道操作过程中B通道没有被使用。对于更多关于DM642视频端口外围设备的具体信息，参见*TMS320C64x DSP Video Port/VCXO Interpolated Control (VIC) Port Reference guide*（文献号SPRU629）。

5.14.2 视频端口外设寄存器描述

表 5-61.视频端口0，1，和2(VP0, VP1, and VP2)控制寄存器

十六进制地址范围			缩写词	描述
VP0	VP1	VP2		
01C4 0000	01C4 4000	01C4 8000	VP_PIDx	视频端口外设识别寄存器
01C4 0004	01C4 0004	01C4 8004	VP_PCRx	视频端口外设控制寄存器
01C4 0008	01C4 4008	01C4 8008	–	保留
01C4 000C	01C4 400C	01C4 800C	–	保留
01C4 0020	01C4 4020	01C4 8020	VP_PFUNCx	视频端口引脚功能寄存器
01C4 0024	01C4 4024	01C4 8024	VP_PDIRx	视频端口引脚方向寄存器
01C4 0028	01C4 4028	01C4 8028	VP_PDINx	视频端口引脚数据输入寄存器
01C4 002C	01C4 402C	01C4 802C	VP_PDOUTx	视频端口引脚数据输出寄存器
01C4 0030	01C4 4030	01C4 8030	VP_PDSETx	视频端口引脚数据集合寄存器
01C4 0034	01C4 4034	01C4 8034	VP_PDCLRx	视频端口引脚数据清除寄存器
01C4 0038	01C4 4038	01C4 8038	VP_PIENx	视频端口引脚中断使能寄存器

01C4 003C	01C4 403C	01C4 803C	VP_PIPOx	视频端口引脚中断极性寄存器
01C4 0040	01C4 4040	01C4 8040	VP_PISTATx	视频端口引脚中断状态寄存器
01C4 0044	01C4 4044	01C4 8044	VP_PICLRx	视频端口引脚中断清除寄存器
01C4 00C0	01C4 40C0	01C4 80C0	VP_CTLx	视频端口控制寄存器
01C4 00C4	01C4 40C4	01C4 80C4	VP_STATx	视频端口状态寄存器
01C4 00C8	01C4 40C8	01C4 80C8	VP_IEx	视频端口中断使能寄存器
01C400CC	01C440CC	01C480CC	VP_ISx	视频端口中断状态寄存器
01C4 0100	01C4 4100	01C4 8100	VC_STATx	视频采集通道 A 状态寄存器
01C4 0104	01C4 4104	01C4 8104	VC_CTLx	视频采集通道 A 控制寄存器
01C4 0108	01C4 4108	01C4 8108	VC_ASTRTx	视频采集通道 A 区域 1 开始寄存器
01C4 010C	01C4 410C	01C4 810C	VC_ASTOPx	视频采集通道 A 区域 1 停止寄存器
01C4 0110	01C4 4110	01C4 8110	VC_ASTRT	视频采集通道 A 区域 2 开始寄存器
01C4 0114	01C4 4114	01C4 8114	VC_ASTOPx	视频采集通道 A 区域 2 停止寄存器
01C4 0118	01C4 4118	01C4 8118	VC_AVINTx	视频采集通道 A 垂直中断寄存器
01C4 011C	01C4 411C	01C4 811C	VC_ATHRLDx	视频采集通道 A 阈值寄存器
01C4 0120	01C4 4120	01C4 8120	VC_AEVTCTx	视频采集通道 A 事件计数寄存器
01C4 0140	01C4 4140	01C4 8140	VC_BSTATx	视频采集通道 B 状态寄存器
01C4 0144	01C4 4144	01C4 8144	VC_BCTLx	视频采集通道 B 控制寄存器
01C4 0148	01C4 4148	01C4 8148	VC_BSTRTx	视频采集通道 B 区域 1 开始寄存器
01C4014C	01C4 414C	01C4 814C	VC_BSTOPx	视频采集通道 B 区域 1 停止寄存器
01C4 0150	01C4 4150	01C4 8150	VC_BSTRTx	视频采集通道 B 区域 2 开始寄存器
01C4 0154	01C4 4154	01C4 8154	VC_BSTOPx	视频采集通道 B 区域 2 停止寄存器
01C4 0158	01C4 4158	01C4 8158	VC_BVINTx	视频采集通道 B 垂直中断寄存器
01C4 015C	01C4 415C	01C4 815C	VC_BTHRLDx	视频采集通道 B 阈值寄存器
01C4 0160	01C4 4160	01C4 8160	VC_BEVTCTx	视频采集通道 B 事件计数寄存器
01C4 0180	01C4 4180	01C4 8180	TSI_CTLx	TCI 采集控制寄存器
01C4 0184	01C4 4184	01C4 8184	TSI_CLKINITLx	TCI 时钟初始化 LSB 寄存器
01C4 0188	01C4 4188	01C4 8188	TSI_CLKINITMx	TCI 时钟初始化 MSB 寄存器
01C4 018C	01C4 418C	01C4 818C	TSI_STCLKLx	TCI 系统时钟 LSB 寄存器
01C4 0190	01C4 4190	01C4 8190	TSI_STCLKMx	TCI 系统时钟 MSB 寄存器
01C4 0194	01C4 4194	01C4 8194	TSI_STCMPLx	TCI 系统时钟对比 LSB 寄存器
01C4 0198	01C4 4198	01C4 8198	TSI_STCMPMx	TCI 系统时钟对比 MSB 寄存器
01C4 019C	01C4 419C	01C4 819C	TSI_STMSKLx	TCI 系统时钟掩模对比 LSB 寄存器
01C4 01A0	01C441A0	01C481A0	TSI_STMSKMx	TCI 系统时钟掩模对比 MSB 寄存器
01C4 01A4	01C441A4	01C4 81A4	TSI_TICKSx	TCI 系统时钟标记中断寄存器
01C4 0200	01C4 4200	01C4 8200	VD_STATx	视频显示状态寄存器

01C4 0204	01C4 4204	01C4 8204	VD_CTLx	视频显示控制寄存器
01C4 0208	01C4 4208	01C4 8208	VD_FRMSZx	视频显示帧尺寸寄存器
01C4 020C	01C4 420C	01C4 820C	VD_HBLNKx	视频显示横向间隔寄存器
01C4 0210	01C4 4210	01C4 8210	VD_VBLKS1x	视频显示区域 1 垂直间隔开始寄存器
01C4 0214	01C4 4214	01C4 8214	VD_VBLKE1x	视频显示区域 1 垂直间隔停止寄存器
01C4 0218	01C4 4218	01C4 8218	VD_VBLKS2x	视频显示区域 2 垂直间隔开始寄存器
01C4 021C	01C4 421C	01C4 821C	VD_VBLKE2x	视频显示区域 2 垂直间隔停止寄存器
01C4 0220	01C4 4220	01C4 8220	VD_IMGOFF1x	视频显示区域 1 图像偏移寄存器
01C4 0224	01C4 4224	01C4 8224	VD_IMGSZ1x	视频显示区域 1 图像尺寸寄存器
01C4 0228	01C4 4228	01C4 8228	VD_IMGOFF2x	视频显示区域 2 图像偏移寄存器
01C4 022C	01C4 422C	01C4 822C	VD_IMGSZ2x	视频显示区域 2 图像尺寸寄存器
01C4 0230	01C4 4230	01C4 8230	VD_FLDT1x	视频显示区域 1 定时寄存器
01C4 0234	01C4 4234	01C4 8234	VD_FLDT2x	视频显示区域 2 定时寄存器
01C4 0238	01C4 4238	01C4 8238	VD_THRLDx	视频显示阈值寄存器
01C4 023C	01C4 423C	01C4 823C	VD_HSYNCx	视频显示横向同步寄存器
01C4 0240	01C4 4240	01C4 8240	VD_VSYNS1x	视频显示区域 1 垂直同步开始寄存器
01C4 0244	01C4 4244	01C4 8244	VD_VSYNE1x	视频显示区域 1 垂直同步停止寄存器
01C4 0248	01C4 4248	01C4 8248	VD_VSYNS2x	视频显示区域 2 垂直同步开始寄存器
01C4 024C	01C4 424C	01C4 824C	VD_VSYNE2x	视频显示区域 2 垂直同步停止寄存器
01C4 0250	01C4 4250	01C4 8250	VD_RELOADx	视频显示计数器重新加载寄存器
01C4 0254	01C4 4254	01C4 8254	VD_DISPEVTx	视频显示显示事件寄存器
01C4 0258	01C4 4258	01C4 8258	VD_CLIPx	视频显示限幅寄存器
01C4 025C	01C4 425C	01C4 825C	VD_DEFVALx	视频显示默认显示值寄存器
01C4 0260	01C4 4260	01C4 8260	VD_VINTx	视频显示垂直中断寄存器
01C4 0264	01C4 4264	01C4 8264	VD_FBITx	视频显示区域位寄存器
01C4 0268	01C4 4268	01C4 8268	VD_VBIT1x	视频显示区域 1 垂直间隔位寄存器
01C4 026C	01C4 426C	01C4 826C	VD_VBIT2x	视频显示区域 2 垂直间隔位寄存器
7400 0000	7800 0000	7C00 0000	Y_RSCA Y	先进先出（FIFO）源寄存器 A

7400 0008	7800 0008	7C00 0008	CB_SRCA	CB 先进先出（FIFO）源寄存器 A
7400 0010	7800 0010	7C00 0010	CR_SRCA	CR 先进先出（FIFO）源寄存器 A
7400 0020	7800 0020	7C00 0020	Y_DSTA	Y 先进先出（FIFO）目的寄存器 A
7400 0028	7800 0028	7C00 0028	CB_DST	CB 先进先出（FIFO）目的寄存器 A
7400 0030	7800 0030	7C00 0030	CR_DST	CR 先进先出（FIFO）目的寄存器 A
7600 0000	7A00 0000	7E00 0000	Y_SRCB	Y 先进先出（FIFO）源寄存器 A
7600 0008	7A00 0008	7E00 0008	CB_SRCB	CB 先进先出（FIFO）源寄存器 B
7600 0010	7A00 0010	7E00 0010	CR_SRCB	CR 先进先出（FIFO）源寄存器 B
7600 0020	7A00 0020	7E00 0020	Y_DSTB	Y 先进先出（FIFO）目的寄存器 B

5.14.3 视频端口 (VP0, VP1, VP2) 电气数据/时序

5.14.3.1 VCLKIN时序 (视频采集模式)

表 5-62. 对于VPxCLKINx(1) 视频采集模式时序要求 (见图 5-57)

NO.		-500 -600 -720 MIN MAX	UNIT
1	t_c(VKI) 循环时间, VPxCLKINx	12.5	ns
2	t_w(VKIH) 脉冲持续时间, VPxCLKINx 高位	5.4	ns
3	t_w(VKIL) 脉冲持续时间, VPxCLKINx 低位	5.4	ns
4	t_t(VKI) 转换时间, VPxCLKINx	3	ns

(1) 在V_{IL} MAX 和 V_{IH} MIN中上升和下降沿测量的参考要点。

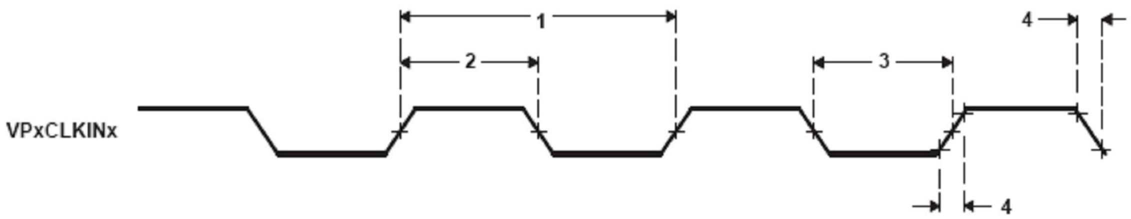


图 5-57. VPxCLKINx 视频端口采集时序

5.14.3.2 视频数据和控制时序 (视频采集模式)

表 5-63. 视频数据和控制输入视频采集模式中的时序要求 (见图 5-58)

NO.		-500 -600 -720 MIN MAX	UNIT

1	t_{su}(VDATV-VKIH)建立时间，在VPxCLKINx变高位前VPxDx有效。	2.9	ns
2	t_h(VDATV-VKIH)保持时间，在VPxCLKINx变高位后VPxDx有效。	0.5	ns
3	t_{su}(VCTLV-VKIH)建立时间，在VPxCLKINx变高位前VPxCTLx有效。	2.9	ns
4	t_h(VCTLV-VKIH)保持时间，在VPxCLKINx变高位后VPxCTLx有效。	0.5	ns

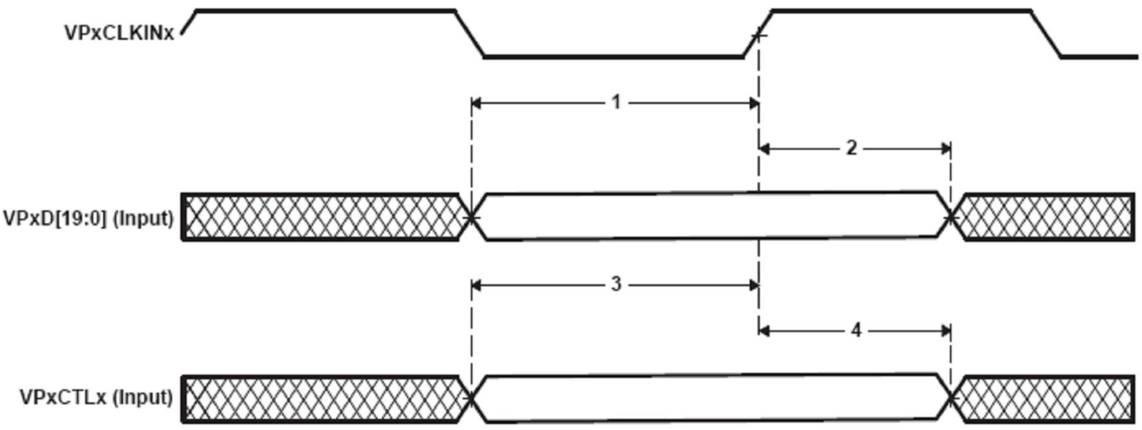


图 5-58. 视频数据和控制输入时序

5.14.3.3 VCLKIN 时序 (视频显示模式)

表 5-64. 对于VPxCLKINx(1)视频显示模式时序要求 (见 图 5-59)

NO.		-500 -600 -720		UNIT
		MIN	MAX	
1	t_c(VKI) 循环时间, VPxCLKINx	9		ns
2	t_w(VKIH) 脉冲持续时间, VPxCLKINx 高位	4.1		ns
3	t_w(VKIL) 脉冲持续时间, VPxCLKINx 低位	4.1		ns
4	t_t(VKI)转变时间, VPxCLKINx		3	ns

(1) 在V_{IL} MAX 和 V_{IH} MIN中上升和下降沿测量的参考要点。

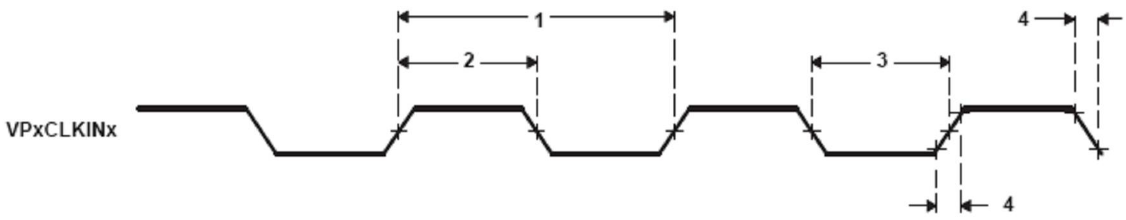


图 5-59. VPxCLKINx 视频端口显示时

5.14.3.4 关于VPxCLKINx和VPxCLKOUTx视频控制输入/输出和视频显示数据输出时序

(视频显示模式)

表 5-65. 关于VPxCLKINx和VPxCLKOUTx的视频控制输入显示在视频显示模式中的时序要求(见 图 5-60)

NO.		-500 -600 -720 MIN	MAX	UNIT
13	t_{su}(VCTLV-VKIH) 建立时间，在VPxCLKINx变高位前VPxCTLx有效。	2.9		ns
14	t_h(VCTLV-VKIH) 保持时间，在VPxCLKINx变高位后VPxCTLx有效。	0.5		ns
15	t_{su}(VCTLV-VKOH) 建立时间，在VPxCLKOUTx变高位前(1)VPxCTLx有效。	7.4		ns
16	t_h(VCTLV-VKOH) 保持时间，在VPxCLKOUTx变高位后(1)VPxCTLx有效。	-0.9		ns

(1) 假设非倒置VPxCLKOUTx信号

表 5-66. 关于VPxCLKINx 和 VPxCLKOUTx(1)的视频数据和控制输出显示在视频显示模式中超过推荐运行环境时的转换特性(1)(2)(见图 5-60)

NO.		-500 -600 -720 MIN	MAX	UNIT
1	t_c(VKO)循环时间，VPxCLKOUTx	V – 0.7	V + 0.7	ns
2	t_w(VKOH)脉冲持续时间，VPxCLKOUTx为高位	VH–0.7	VH + 0.7	ns
3	t_w(VKOH)脉冲持续时间，VPxCLKOUTx为低位	VL – 0.7	VL + 0.7	ns
4	t_t(VKO)转变时间，VPxCLKOUTx		1.8	ns
5	t_d(VKIH-VKOH)延迟时，从VPxCLKINx的高位变化到VPxCLKOUTx的高位(3)	1.1	5.7	ns
6	t_d(VKIL-VKOL)延迟时，从VPxCLKINx的低位变化到VPxCLKOUTx的低位(3)	1.1	5.7	ns
7	t_d(VKIH-VKOL)延迟时间，从VPxCLKINx的高位变化到VPxCLKOUTx的低位	1.1	5.7	ns
8	t_d(VKIL-VKOH)延迟时间，从VPxCLKINx的低位变化到VPxCLKOUTx的高位	1.1	5.7	ns
9	t_d(VKIH-VKPOUT)延迟时间，在VPxCLKINx的高位变化到VPxOUT有效(4)		9	ns

10	t_d(VKIH-VKPOUTIV)延迟时间，在VPxCLKINx的高位变化到VPxOUT无效(4)	1.7	ns
11	t_d(VKIH-VKPOUTIV)延迟时间，在VPxCLKINx的高位变化到VPxOUT有效(1) (4)	4.3	ns
12	t_d(VKIH-VKPOUTIV)延迟时间，在VPxCLKINx的高位变化到VPxOUT无效(1) (4)	–0.2	ns

(1) V =视频输入时钟周期(VPxCLKINx)，单位ns。

(2) VH是V (视频输入时钟周期)的高周期，VL是V (视频输入时钟周期)的低周期。

(3) 假设非倒置VPxCLKOUTx信号。

(4) VPxOUT由VPxCTLx 和VPxD组成[19:0]。

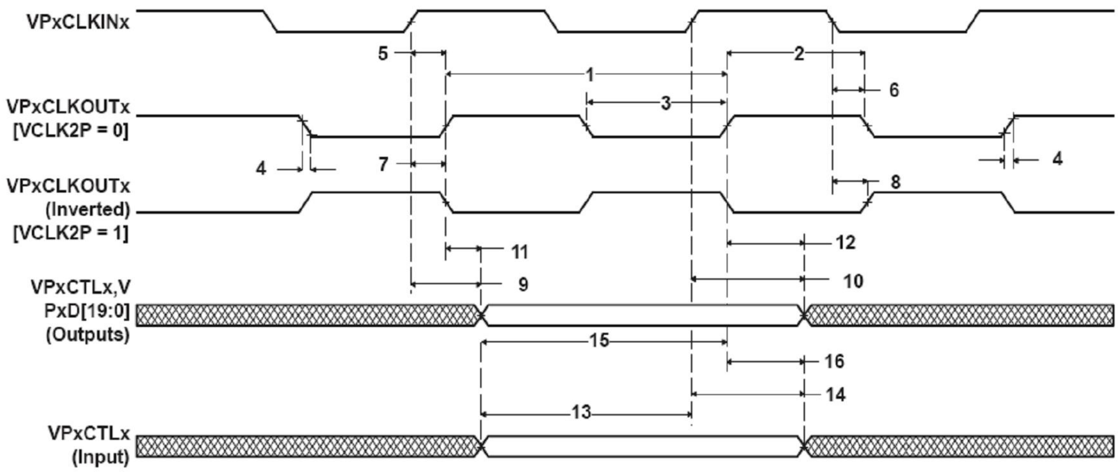


图 5-60. 关于VPxCLKINx 和VPxCLKOUTx的视频端口显示数据输出时序和控制输入/输出时序

5.14.3.5 视频双显示同步模式时序（关于VPxCLKINx)

Table 5-67. 对于VPxCLKINx双显示同步模式的时序要求（见图 5-61)

NO.		-500 -600 -720 MIN MAX	UNIT
1	t_{su}(VCTLV-VKIH)斜率，VPxCLKINx在 VPyCLKINy之前	±500	ps

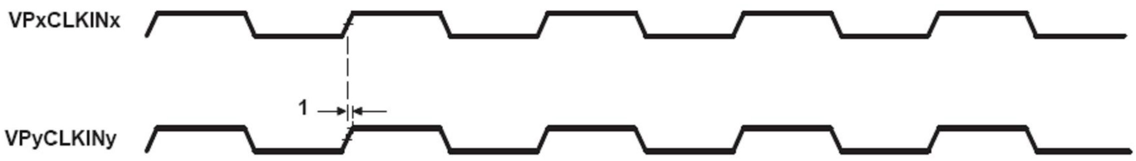


图 5-61. **视频端口双显示同步时序**

5.15 VIC

VIC 可以用来连接视频端口，以维持视频流的同步；VIC 也可以用来控制 VCXO，以调节视频端口的像素时钟频率。

5.15.1VIC 设备详细信息

VIC 端口提供了数-模转换，分辨率是从 9 位到 16 位。VIC 的输出是一个信号位，这个信号位内插入 D/A 输出(VDAC 引脚)。

典型的 D/A 转换器为每个需要转换的数字的值提供了一个离散的输出电平。如果输出的数字很长的话，这就成了一个问题。在 Sigma Delta 类型的 D/A 转换器中，通过选择比较广泛的输出电平空间和在它们之间插入新值，这个问题就可以避免。这种插入机制会引起输出在电平之间迅速振荡，平均输出表现了输入代码的值。

在 VIC 中，两个输出电平是可以选择的(0 和 1)，而且 Sigma Delta 插入方式通过在这些电平之间有一个迅速改变的信号来实现。插入的频率取决于所需要的分辨率。

当视频端口用作传输流接口(TSI)模式，VIC 的端口就用作为 MPEG 传输流控制系统时钟和 VCXO。

VIC 有下面几个特点：

- 在 D/A 转换中的信号插补；
- 可编程的精度 从 9 位到 16 位
- 寄存器访问接口

要知道更多的 DM624 VIC 外设的详细信息，参看 *TMS320C64x DSP Video Port/VCXO Interpolated Control(VIC) Port Reference Guide*(文献号 SPRU629)。

5.15.2 VIC 外设寄存器描述

表 5-68. VIC 端口寄存器

16 进制地址范围	缩写	寄存器名称
01C4 C000	VICCTL	VIC 控制寄存器
01C4 C004	VICIN	VIC 输入寄存器
01C4 C008	VPDIV	VIC 时钟分频寄存器
01C4 C00C-01C4 FFFF	--	保留

5.15.3 VIC 电气资料/时序

5.15.3.1 STCLK 时间

表 5-69. STCLK 所需时间[(1)](见图 5-62)

序号		-500 -600 -720 MIN	-500 -600 -720 MAX	单位
1	$t_{c(STCLK)}$ 循环周期，STCLK	33.3		ns
2	$t_{w(STCLKH)}$ 脉宽，STCLK 高	16		ns
3	$t_{w(STCLKL)}$ 脉宽，STCLK 低	16		ns

4	$t_{t(STCLK)}$ 传输时间，STCLK	3	ns

(1)上升下降的参考点通过 V_{IL} MAX 和 V_{IH} MIN 测量。

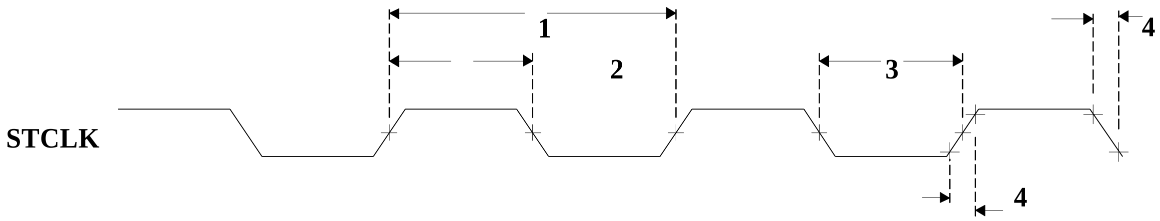


图 5-62.STCLK 时间

5.16 以太网媒体存取控制器 （EMAC）

EMAC控制 DSP中的数据包在物理层的流动。

5.16.1 EMAC设备详细信息

以太网媒体存取控制器（EMAC）提供一个 DM642 DSP处理器内核和网络之间的有效接口。DM642 EMAC 支持 10Base-T和 100Base-TX的传输方式。或者在硬件控制流和服务质量（QOS）的支持下，以 10M比特 /秒（Mbps）到 100Mbps进行半双工或全双工通信。DM642 EMAC 利用一个传统的 DSP核的接口，来实现数据的高效传输和接收。

EMAC控制 DSP中的数据包在物理层的流动。MDIO模块控制物理层的配置和状态监测。

EMAC和 MDIO模块通过一个定制的接口来与 DSP连接，可实现高效的数据传输和接收。这个定制接口被称为 EMAC的控制模块，并被称为的 EMAC/MDIO的外围设备。该控制模块也被用来控制装置复位，中断和系统优先级设置。

*TMS320C6000 DSP*以太网媒体存取控制器和输入输出数据管理器模块参考指南（文件号 SPRU628）会更加详细的介绍 DM642 EMAC的外围设备。这个外围设备参考指南中的一些特征此时并不支持 DM642。DM642 支持一个信息接收通道并不支持接收质量服务（QOS）。对于支持的寄存器和寄存器字域，参见本数据指南的表 5-70 【以太网媒体存取控制器（EMAC）控制寄存器】和表 5-71【EMAC静态寄存器】。

5.16.2 EMAC外围设备寄存器描述

表 5-70．EMAC控制寄存器

十六进制地址范围	缩写	寄存器名
01C8 0000	TXIDVER	传送识别和版本寄存器
01C8 0004	TXCONTROL	传送控制寄存器
01C8 0008	TXTEARDOWN	传送拆卸寄存器
01C8 000C	-	保留
01C8 0010	RXIDVER	接收识别和版本寄存器
01C8 0014	RXCONTROL	接收拆卸寄存器（RXTDNCH只支持写 0）
01C8 001C – 01C8 00FF	-	保留
01C8 0100	RXMBPENABLE	接收多点传输 /广播 /混合通道使能寄存器 (RXQOSEN 域保留来只支持写 0. PROMCH,BROADCH,和 MULTCH 位域只支持写 0.)
01C8 0104	RXUNICASTSET	接收单播设置寄存器（1-7位保留只支持写 0）
01C8 0108	RXUNICASTCLEAR	接收单播清零寄存器（1-7位保留只支持写 0）
01C8 010C	RXMAXLEN	接收最大长度寄存器

01C8 0110	RXBUFFEROFFSET	接收偏移缓冲寄存器
01C8 0114	RXFILTERLOWTHRESH	接收低优先级数据包滤波门限寄存器
01C8 0118 – 01C8 011F	–	保留
01C8 0120	RX0FLOWTHRESH	0接受信道门限寄存器
01C8 0124	RX1FLOWTHRESH	保留，不可写
01C8 0128	RX2FLOWTHRESH	
01C8 012C	RX3FLOWTHRESH	
01C8 0130	RX4FLOWTHRESH	
01C8 0134	RX5FLOWTHRESH	
01C8 0138	RX6FLOWTHRESH	
01C8 013C	RX7FLOWTHRESH	
01C8 0140	RX0FREEBUFFER	0接受信道空闲缓冲计数寄存器
01C8 0144	RX1FREEBUFFER	保留，不可写
01C8 0148	RX2FREEBUFFER	
01C8 014C	RX3FREEBUFFER	
01C8 0150	RX4FREEBUFFER	
01C8 0154	RX5FREEBUFFER	
01C8 0158	RX6FREEBUFFER	
01C8 015C	RX7FREEBUFFER	
01C8 0160	MACCONTROL	MAC 控制寄存器
01C8 0164	MACSTATUS	MAC状态寄存器（RXQOSACT 位保留）
01C8 0168 – 01C8 016C	–	保留
01C8 0170	TXINTSTATRAW	传输中断状态寄存器 (不可屏蔽）
01C8 0174	TXINTSTATMASKED	传输中断状态寄存器 (可屏蔽）
01C8 0178	TXINTMASKSET	传输可屏蔽中断设置寄存器
01C8 017C	TXINTMASKCLEAR	传输可屏蔽中断清零寄存器
01C8 0180	MACINVECTOR	MAC输入向量寄存器
01C8 0184 – 01C8 018F	-	保留
01C8 0190	RXINTSTATRAW	接收中断状态（不可屏蔽）寄存器（1-7位保留）
01C8 0194	RXINTSTATMASKED	接收中断状态（可屏蔽）寄存器（1-7位保留）
01C8 0198	RXINTMASKSET	接收可屏蔽中断设置寄存器（1-7位保留且只支持写0)
01C8 019C	RXINTMASKCLEAR	接收可屏蔽中断清零寄存器（1-7位保留且只支

		持写 0)
01C8 01A0	MACINTSTATRAW	MAC中断状态 (不可屏蔽)寄存器
01C8 01A4	MACINTSTATMASKED	MAC中断状态 (可屏蔽)寄存器
01C8 01A8	MACINTMASKSET	MAC可屏蔽中断设置寄存器
01C8 01AC	MACINTMASKCLEAR	MAC可屏蔽中断清零寄存器
01C8 01B0	MACADDRL0	MAC 地址通道 0低位寄存器
01C8 01B4	MACADDRL1	保留，不可写
01C8 01B8	MACADDRL2	
01C8 01BC	MACADDRL3	
01C8 01C0	MACADDRL4	
01C8 01C4	MACADDRL5	
01C8 01C8	MACADDRL6	
01C8 01CC	MACADDRL7	
01C8 01D0	MACADDRM	MAC地址中位寄存器
01C8 01D4	MACADDRH	MAC地址高位寄存器
01C8 01D8	MACHASH1	MAC 地址 Hash 1 寄存器
01C8 01DC	MACHASH2	MAC 地址 Hash 2 寄存器
01C8 01E0	BOFFTEST	回退测试寄存器
01C8 01E4	TPACETEST	传输步调测试寄存器
01C8 01E8	RXPAUSE	接收暂停时间寄存器
01C8 01EC	TXPAUSE	传输暂停时间寄存器
01C8 01F0 – 01C8 01FF	-	保留
01C8 0200 – 01C8 05FF	(参见表 5-17)	EMAC统计寄存器
01C8 0600	TX0HDP	传输通道 0 DMA头指针描述寄存器
01C8 0604	TX1HDP	传输通道 1 DMA头指针描述寄存器
01C8 0608	TX2HDP	传输通道 2 DMA头指针描述寄存器
01C8 060C	TX3HDP	传输通道 3 DMA头指针描述寄存器
01C8 0610	TX4HDP	传输通道 4 DMA头指针描述寄存器
01C8 0614	TX5HDP	传输通道 5 DMA头指针描述寄存器
01C8 0618	TX6HDP	传输通道 6 DMA头指针描述寄存器
01C8 061C	TX7HDP	传输通道 7 DMA头指针描述寄存器
01C8 0620	RX0HDP	接收通道 0 DMA头指针描述寄存器
01C8 0624	RX1HDP	保留，不可写
01C8 0628	RX2HDP	

01C8 062C	RX3HDP	
01C8 0630	RX4HDP	
01C8 0634	RX5HDP	
01C8 0638	RX6HDP	
01C8 063C	RX7HDP	
01C8 0640	TX0INTACK	传输通道 0中断应答寄存器
01C8 0644	TX1INTACK	传输通道 1中断应答寄存器
01C8 0648	TX2INTACK	传输通道 2中断应答寄存器
01C8 064C	TX3INTACK	传输通道 3中断应答寄存器
01C8 0650	TX4INTACK	传输通道 4中断应答寄存器
01C8 0654	TX5INTACK	传输通道 5中断应答寄存器
01C8 0658	TX6INTACK	传输通道 6中断应答寄存器
01C8 065C	TX7INTACK	传输通道 7中断应答寄存器
01C8 0660	RX0INTACK	接收通道 0中断应答寄存器
01C8 0664	RX1INTACK	保留，不可写
01C8 0668	RX2INTACK	
01C8 066C	RX3INTACK	
01C8 0670	RX4INTACK	
01C8 0674	RX5INTACK	
01C8 0678	RX6INTACK	
01C8 067C	RX7INTACK	
01C8 0680 – 01C8 0FFF	-	保留

表 5-71. EMAC统计寄存器

十六进制地址范围	缩写	寄存器名
01C8 0200	RXGOODFRAMES	优良接收帧寄存器
01C8 0204	RXBCASTFRAMES	广播接收帧寄存器
01C8 0208	RXMCASTFRAMES	多重广播接收帧寄存器
01C8 020C	RXPAUSEFRAMES	接收中止接收寄存器
01C8 0210	RXCRCERRORS	接收 CRC 循环出错寄存器
01C8 0214	RXALIGNCODEERRORS	接收阵列 /编码错误寄存器
01C8 0218	RXOVERSIZED	接收过大帧寄存器
01C8 021C	RXJABBER	接收 Jabber协议帧寄存器
01C8 0220	RXUNDERSIZED	接收过小帧寄存器
01C8 0224	RXFRAGMENTS	接收结构片段寄存器

01C8 0228	RXFILTERED	接收滤波帧寄存器
01C8 022C	RXQOSFILTERED	保留
01C8 0230	RXOCTETS	接收八隅帧寄存器
01C8 0234	TXGOODFRAMES	优良传输帧寄存器
01C8 0238	TXBCASTFRAMES	广播传输帧寄存器
01C8 023C	TXMCASTFRAMES	多重广播传输帧寄存器
01C8 0240	TXPAUSEFRAMES	传输帧中止寄存器
01C8 0244	TXDEFERRED	传输帧延迟寄存器
01C8 0248	TXCOLLISION	冲突寄存器
01C8 024C	TXSINGLECOLL	单个传输帧冲突寄存器
01C8 0250	TXMULTICOLL	多个传输帧冲突寄存器
01C8 0254	TXEXCESSIVECOLL	过量冲突寄存器
01C8 0258	TXLATECOLL	迟冲突寄存器
01C8 025C	TXUNDERRUN	传输负载运行寄存器
01C8 0260	TXCARRIERSLOSS	传输载波感知误差寄存器
01C8 0264	TXOCTETS	传输八隅帧寄存器
01C8 0268	FRAME64	传送接收 64 八隅帧寄存器
01C8 026C	FRAME65T127	传送接收 65 到 127 八隅帧寄存器
01C8 0270	FRAME128T255	传送接收 128到 255八隅帧寄存器
01C8 0274	FRAME256T511	传送接收 256到 511八隅帧寄存器
01C8 0278	FRAME512T1023	传送接收 512到 1023八隅帧寄存器
01C8 027C	FRAME1024TUP	传送接收 1024 以上八隅帧寄存器
01C8 0280	NETOCTETS	网络八隅帧寄存器
01C8 0284	RXSOFOVERRUNS	接收帧溢出开端寄存器
01C8 0288	RXMOFOVERRUNS	接收帧溢出中段寄存器
01C8 028C	RXDMAOVERRUNS	接收 DMA 溢出寄存器
01C8 0290 – 01C8 05FF	–	保留

表 5-72．EMAC 包装

十六进制地址范围	缩写	寄存器名
01C8 1000 – 01C8 1FFF		EMAC 控制 控制模块描述存储器
01C8 2000 – 01C8 2FFF	–	保留

表 5-73．EWRAP寄存器

十六进制地址范围	缩写	寄存器名
01C8 3000	EWTRCTRL	TR控制器
01C8 3004	EWCTL	中断控制寄存器
01C8 3008	EWINTTCNT	中断时间计数器
01C8 300C – 01C8 37FF	–	保留

5.16.3 EMAC 电气数据 /时序

表 5-74．MRCLK时间需求 (见图 5-63)

序号		– 500 – 600 – 720		单位
		MIN	MAX	
1	$t_{c(MRCLK)}$ 周期，MRCLK	40		ns
2	$t_{w(MRCLKH)}$ 持续脉冲，MRCLK为高电平	14		ns
3	$t_{w(MRCLKL)}$ 持续脉冲，MRCLK为低电平	14		ns

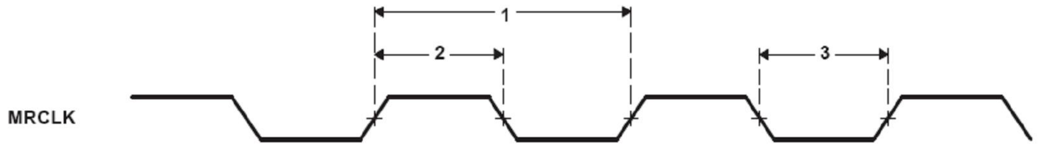


图 5-63．MRCLK 时序 (EMAC – 接收)

表 5-75．MTCLK时间需求 (见图 5-64)

序号		– 500 – 600 – 720		单位
		MIN	MAX	
1	$t_{c(MTCLK)}$ 周期，MTCLK	40		ns
2	$t_{w(MTCLKH)}$ 持续脉冲，MTCLK为高电平	14		ns
3	$t_{w(MTCLKL)}$ 持续脉冲，MTCLK为低电平	14		ns

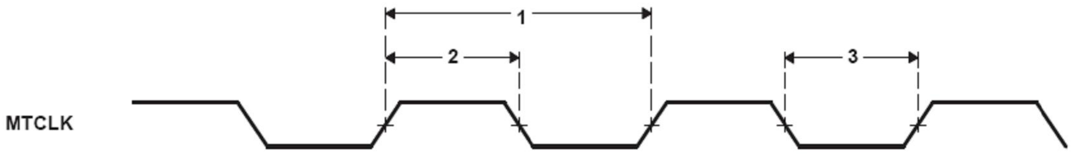


图 5-64. MTCLK 时序 (EMAC – 传输)

表 5-76. EMAC MII 10/100 Mbit/s接收时序需求 (1) (见图 5-65)

序号		– 500 – 600 – 720 MIN MAX	单位
1	tsu(MRXD-MRCLKH) MRCLK为高电平前的时间设置 ,有效接收信号选择	8	ns
2	th(MRCLKH-MRXD) MRCLK为高电平后的时间保持，有效接收信号选择。	8	ns

(1)接收信号选择包括：MRXD3-MRXD0，MRXDV和 MRXER.

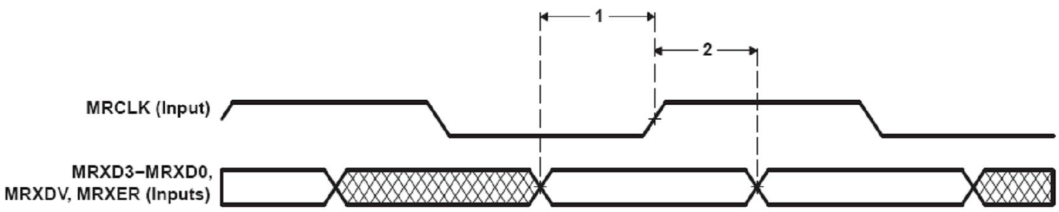


图 5-66. EMAC 接收接口时序

表 5-77. EMAC MII 传输 10/100 Mbit/s推荐操作条件上的开关特性 (1) (见图 5-66)

序号		– 500 – 600 – 720 MIN	MAX	单位
1	td(MTCLKH-MTXD) 延时，MTCLK 为高时有效传输信号选择	5	25	ns

(1)传输选择信号包括：MTXD3– MTXD0和 MTXEN.

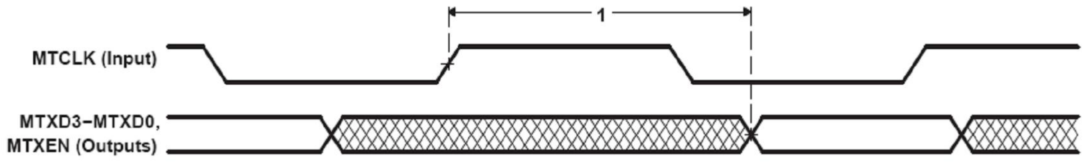


图 5-66．EMAC传输接口时序

5.17 数据输入/输出管理（MDIO）

MDIO 模块控制 PHY 的配置和状态监测。

5.17.1 设备详细信息

数据输入/输出管理（MDIO）模块为了列举出系统中所有的 PHY 设备，连续的给出 32 个 MDIO 地址。

数据输入/输出管理（MDIO）模块执行 802.3 串行接口，并使用一个共享的双线总线去查询和控制以太网 PHY(s)。主机软件使用 MDIO 模块去配置位于 EMAC 的每一个 PHY 的自协商参数，返回协商结果，并配置正确操作所需的 EMAC 模块中的所需参数。MDIO 模块允许对 MDIO 接口进行几乎透明的操作，并只需内核很少的支持。

TMS320C6000 DSP 以太网媒体接入控制器(EMAC)/ 数据输入/输出管理(MDIO)模块参考指南（文献号 SPRU628）详细的描述了 DM642 的 MDIO 外设。这篇外设参考指南中的有些地方并不被 DM642 所支持，DM642 仅支持 EMAC 模块，它所支持的寄存器以及寄存器域的列表，请看表 5-78。

5.17.2 外设寄存器的描述

表 5-78.MDIO 寄存器

十六进制地址范围	首字母缩写	寄存器名
01C8 3800	VERSION	MDIO 版本寄存器
01C8 3804	CONTROL	MDIO 控制寄存器
01C8 3808	ALIVE	MDIO PHY 运行指示寄存器
01C8 380C	LINK	MDIO PHY 连接状态寄存器
01C8 3810	LINKINTRAW	MDIO 连接状态改变中断寄存器 (MAC1 域被保留且只支持写 0 操作)
01C8 3814	LINKINTMASKED	MDIO 连接状态改变中断(屏蔽)寄存器 (MAC1 域被保留且只支持写 0 操作)
01C8 3818	USERINTRAW	MDIO 用户命令完成中断寄存器 (MAC1 域被保留且只支持写 0 操作)
01C8 381C	USERINTMASKED	MDIO 用户命令完成中断（屏蔽）寄存器 (MAC1 域被保留且只支持写 0 操作)
01C8 3820	USERINTMASKSET	MDIO 用户命令完成中断屏蔽设置寄存器(MAC1 域被保留且只支持写 0 操作)
01C8 3824	USERINTMASKCLEAR	MDIO 用户命令完成中断屏蔽清除寄存器(MAC1 域被保留且只支持写 0 操作)
01C8 3828	USERACCESS0	MDIO 用户接入寄存器 0

01C8 382C	USERACCESS1	保留，不能写
01C8 3830	USERPHYSEL0	MDIO 用户 PHY 选择寄存器 0
01C8 3834	USERPHYSEL1	保留，不能写
01C8 3838--01C8 3FFF	--	保留

5.17.3 数据输入/输出管理（MDIO）电气数据/时序

表 5-79 MDIO 输入的时间要求（见图 5-67）

NO.			-500 -600 -720		UNIT
			MIN	MAX	
1	$t_{c(MDCLK)}$	周期时间，MDCLK	400		ns
2	$t_{w(MDCLK)}$	脉冲持续时间，MDCLK 高/低	180		ns
3	$t_{su(MDIO-MDCLKH)}$	建立时间，MDCLK 高之前 MDIO 数据输出有效	10		ns
4	$t_{h(MDCLKH-MDIO)}$	保持时间，MDCLK 高之后 MDIO 数据输出有效	0		ns

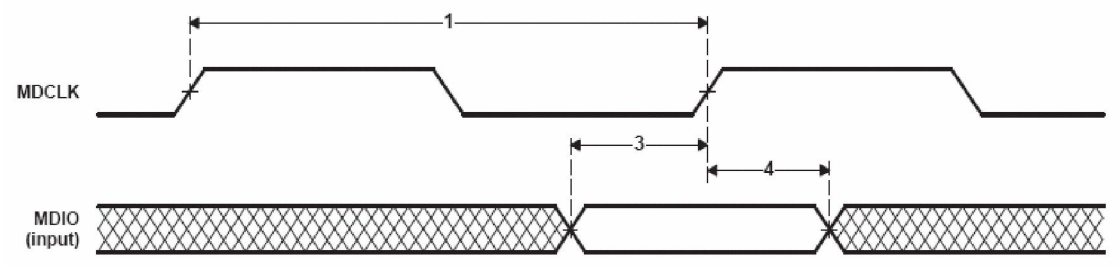


图 5-67 MDIO 输入时序

表 5-80 推荐操作环境下的 MDIO 输出转换特征（见图 5-68）

NO.			-500 -600 -720		UNIT
			MIN	MAX	
7	$t_{d(MDCLKl-MDIO)}$	延迟时间，MDCLK 低时 MDIO 数据输出有效	-10	100	ns

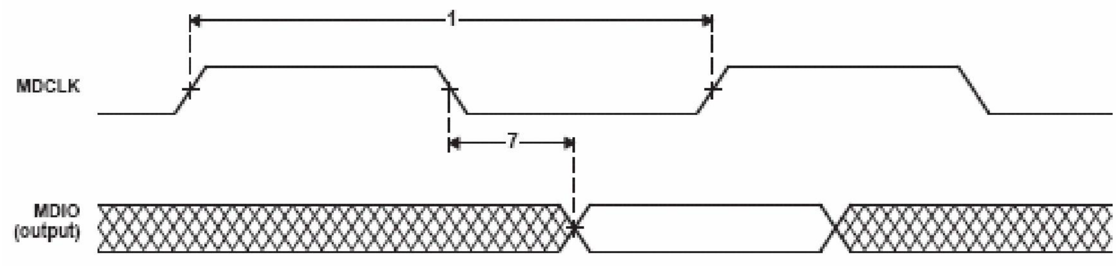


图 5-68. MDIO **输出时序**

5.18定时器

该 c6000 DSP 设备具有 32位通用定时器，可用于：
时间事件
计数事件
产生脉冲
中断的 CPU
发送同步事件的 DMA

该定时器有两个信令方式，并可以被设定由内部或外部源。该定时器有一个输入引脚和输出管脚。输入和输出管脚（ tinp和 tout）功能，可以作为定时器时钟输入和时钟输出。他们还可以分别设定为一般用途的输入和输出。

一个内部时钟，举例来说，定时器可能发信号使外部 A/D交换器开始转换，或者它可能触发 DMA控制器开始数据传送。使用外部时钟，定时器能够计数出外部事件，并且在一些指定的事件之后，中断 CPU。

5.18.1定时器设备特有的信息

DM642设备有总共三个 32位通用定时器 (Timer0、 Timer1和 Timer2)。
时钟 2不是用外部固定

5.18.2定时器外设寄存器描述

表 5-81定时器 0寄存器

十六进制地址范围	缩写	寄存器名称	描述
0194 0000	CTL0	定时器 0控制寄存器	确定定时器的操作模式、控制定时器状态以及 TOUT 的功能
0194 0004	PRD0	定时器 0时期寄存器	包含定时器输入时钟周期操作方式计数。这数字控制 TSTAT信号频率。
0194 0008	CNT0	定时器 0计数寄存器	载电流值的增量计数器
0194 000C – 0197 FFFF	-----	预留	

表 5-82 定时器 1寄存器

十六进制地址范围	缩写	寄存器名称	描述
0198 0000	CTL1	定时器 1控制寄存器	确定定时器的操作模式、控制定时器状态以及 TOUT 的功能
0198 0004	PRD1	定时器 1时期寄存器	包含定时器输入时钟周期操作方式计数。这数字控制 TSTAT信号频率。
0198 0008	CNT1	定时器 1计数寄存器	载电流值的增量计数器
0198 000C – 019B FFFF	-----	预留	

表 5-83 定时器 2寄存器

十六进制地址范围	缩写	寄存器名称	描述
01AC 0000	CTL2	定时器 2控制寄存器	确定定时器的操作模式、控制定时器状态
01AC 0004	PRD2	定时器 2时期寄存器	包含定时器输入时钟周期操作方式计数。这数字控制 TSTAT信号频率。
01AC 0008	CNT2	定时器 2计数寄存器	载电流值的增量计数器
01AC 000C – 01AF FFFF	-----	预留	

5.18.3定时器电子数据或时间

表 5-84 定时器输入的时间要求 (1) (参见图 5-69)

NO.		-500 -600 -720		单位
		MIN	MAX	
1	tw(TINPH) TINP出现高脉冲	8P		ns
2	tw(TINPL) TINP出现低脉冲	8P		ns

(1) P = 1/CPU在 ns级的钟频。 例如，当运行零件在 720 MHz, 用途 P = 1.39 ns。

表 5-85 。交换特性超过建议操作条件定时器输出（ 1）

见图 5-69

NO.	参数	-500 -600 -720		单位
		MIN	MAX	
1	tw(TOUTH) TOUT出现高脉冲	8P-3		ns
2	tw(TOUTL) TOUT出现低脉冲	8P-3		ns

（1） P = 1/CPU在 ns级的钟频。 例如，当运行零件在 720 MHz, 用途 P = 1.39 ns。

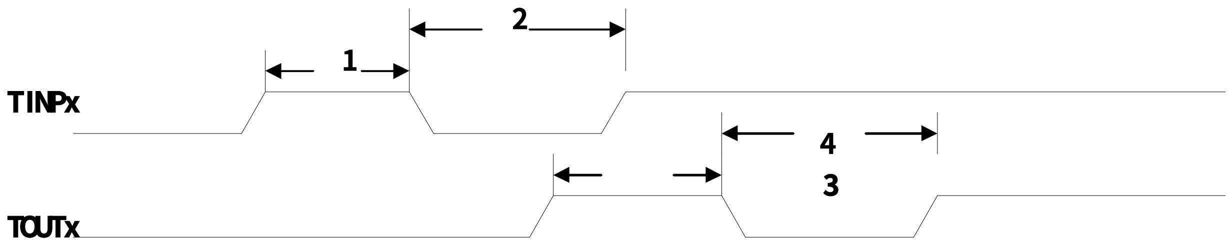


图 5-69 定时器时间

5.19通用输入/输出（GPIO）

该 GPIO 外围设备提供专用普通用途引脚，可以配置为输入或输出。当配置为输出，可以写一个内部寄存器以控制外部引脚的状态驱动。当配置为输入，可以通过内部寄存器的状态来探测输入引脚的状态。

另外， GPIO 外围设备可能导致 CPU 中断和 EDMA 事件用不同的中断或事件世代方式。

5.19.1 GPIO 设备特有的信息

使用 GP [15 ：0]软件构形的 GPIO 别针，在 GP 的 GPxEN 位使能(GPEN)记数器，并且必须适当地配置在 GP 方向(GPDIR)记数器的 GPxDIR 位。

GPxEN = 1 GP[x] 引脚使能

GPxDIR = 0 GP[x] 引脚输入

GPxDIR = 1 GP[x] 引脚输出

当“x”代表15到0的GPIO引脚之一

图5-70展示GPIO在GPEN寄存器的允许量DM642设备。要使用其中任一个GPx引脚作为通用输入-输出作用，必须设置对应的GPxEN位到" 1" (使能)。 缺省值设备特有，因此参见DM642默认配置的图5-70。

31–16
Reserved
R-0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GP15 EN	GP14 EN	GP13 EN	GP12 EN	GP11EN	GP10 EN	GP9 EN	GP8 EN	GP7 EN	GP6 EN	GP5 EN	GP4 EN	GP3 EN	GP2 EN	GP1 EN	GP0 EN
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-1

图例： R/W =可读或可写， - n =价值在重新设置以后， - x =复位以后未定义值

图 5-70 GPIO 使能寄存器（ GPEN ） [十六进制地址： 01b0 0000]

图 5-71 显示了 GPIO 的指示位在 GPDIR 寄存器。这个寄存器决定，如果某一特定的 GPIO 引脚是一个输入或输出提供相应 gpxen 位启用（设置为" 1 " ）在 GPEN 寄存器中。默认情况下，所有的 GPIO 引脚配置为输入引脚。

31–16
Reserved
R-0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GP15 EN	GP14 EN	GP13 EN	GP12 EN	GP11EN	GP10 EN	GP9 EN	GP8 EN	GP7 EN	GP6 EN	GP5 EN	GP4 EN	GP3 EN	GP2 EN	GP1 EN	GP0 EN
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

图例： R/W =**可读或可写，** - n =**价值在重新设置以后，** - x =**复位以后未定义值**

图 5-71 GPIO **的方向寄存器（** GPDIR **）** [**十六进制地址：** 01b0 0004]

为更详细的资料，一般用途输入/输出（的 GPIO **），见** TMS320C6000 **系列** DSP **的通用输入/输出（** GPIO **）参考指南（文献号码** SPRU584 **）**

5.19.2 GPIO 的外设寄存器描述

表5-86 GP0**寄存器**

十六进制地址范围	**缩写**	**寄存器名称**
01B0 0000	GPEN	GP0**使能寄存器**
01B0 0004	GPDIR	GP0**方向寄存器**
01B0 0008	GPVAL	GP0**值寄存器**
01B0 000C	–	**预留**
01B0 0010	GPDH	GP0**三角高寄存器**
01B0 0014	GPHM	GP0**高屏蔽寄存器**
01B0 0018	GPDL	GP0**三角低记数器**
01B0 001C	GPLM	GP0**低屏蔽寄存器**
01B0 0020	GPGC	GP0**全局控制寄存器**
01B0 0024	GPPOL	GP0**中断极性寄存器**
01B0 0028 – 01B3 EFFF	–	**预留**

5.19.3通用输入-输出(GPIO)电子数据或时间

表5-87 GPIO**输入的时间要求**(1) (2) (**参见图**5-72)

NO.		-500 -600 -720 MIN MAX	**单位**
1	t w(GP IH) GPIx**出现高脉冲**	8P	ns
2	t tw(GPIH) GPIx**出现低脉冲**	8P	ns

(1) P = 1/CPU**在**ns**的钟频。 例如，当运行部件在**720 MHz**，用途**P = 1.39 ns。

(2)**被测量的脉冲宽度是充足引起**CPU**中断或**EDMA**事件。 然而，如果用户想要安排**DSP**通过**GPIO**寄存器的软件投票认可**GPIx**变动，必须延伸**GPIx**期间到至少**12P**允许**DSP**足够时间通过**

CFGBUS访问GPIO寄存器。

表5-88 在建议使用的操作条件件的开关特征的GPIO产品(1)

(参见图5-72)

NO.	参数	-500 -600 -720 MIN MAX	单位
1	$t_{w(GPIO)}$ GPIO出现高脉冲	24P-8(2)	ns
2	t $t_{w(GPIO)}$ GPIO出现低脉冲	24P-8(2)	ns

（1） P值1/cpu时钟频率在NS 。举例来说，当运行部件在720兆赫，使用P = 1.39 ns的。

（2）本参数值不应当被用来作为最高性能规格。实际表现背对背通道的GPIO的是取决于内部总线活动。

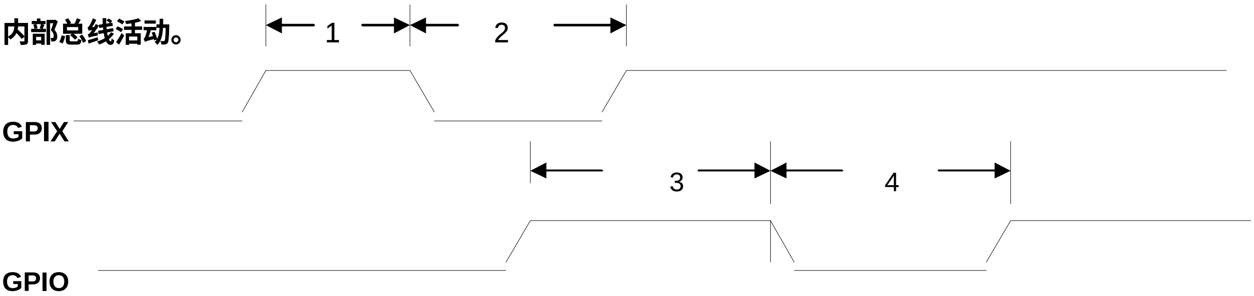


图5-72 GPIO端口时钟

5.20 JTAG

JTAG 接口的作用为进行 BSDL 测试和 DM642 设备仿真。

注：IEEE 规范 1149.1-1990 标准检测端口和边界扫描结构。

5.20.1 JTAG 设备的详细信息

5.20.1.1 IEEE 1149.1 JTAG 接口兼容性

TMS320DM642 DSP 芯片要求初始化时 $\overline{TRST}$ 和 $\overline{RESET}$ 管脚须置为高电平。用 $\overline{RESET}$ 初始化 DSP 核心，$\overline{TRST}$ 初始 DSP 仿真逻辑。两种复位方法必须正确操作。

注：$\overline{TRST}$ 是同步置位必须由 TCLK 触发；另外当 $\overline{TRST}$ 置位后，BSCAN 可以不作响应。

尽管 $\overline{TRST}$ 和 $\overline{RESET}$ 都需要置高电平，但 DSP 正确启动只需要 $\overline{RESET}$ 被正确释放。在一般操作时，$\overline{TRST}$ 管脚可以置为不确定状态以使 JATG 接口和 DSP 仿真逻辑保持复位状态。只有当使用 JTAG 控制器来调试 DSP 或执行 DSP 边界扫描功能时，$\overline{TRST}$ 才必须被释放。当用 JTAG 进行边界扫描时，为读取 ID 代码的不同域 $\overline{RESET}$ 也须被释放。而其他的边界扫描指令可以独立于 $\overline{RESET}$ 的管教状态而正常工作。

为保证设备最大可靠性，TMS320DM642 DSP 在 $\overline{TRST}$ 管脚接入外部下拉电阻来确保 $\overline{TRST}$ 总被置高且 DSP 的仿真逻辑正常初始化。TI 将 JTAG 控制器的 $\overline{TRST}$ 默认置高。但是一些第三方的 JTAG 控制器并不把 $\overline{TRST}$ 置高而是在 $\overline{TRST}$ 上加一个上拉电阻。当使用这种 JTAG 控制器时，在 DSP 上电之后，要对 $\overline{TRST}$ 置位并通过外部将 $\overline{TRST}$ 置高，然后才能尝试做仿真或边界扫描。

当 $\overline{RESET}$ 被释放后，$\overline{TRST}$ 由低到高的转变必须被"看到"来锁定 EMU1 和 EMU0 的状态。EMU[1：0]管脚的作用为配置边界扫描模式或仿真模式。更多的信息可参照本数据手册的终端功能这部分。

注：TMS320DM642 BSDL 文件的 DESIGN_WARNING 部分包含边界扫描的有用信息并约束其相关正确操作。

5.20.1.2 JTAG ID 寄存器描述

JTAG ID 寄存器是只读寄存器，用来辨别 JTAG 设备 ID。DM642 设备的 JTAG 寄存器地址为：0x01B3F008。此寄存器在 DM642 中的的十六进制值是：0x0007 902F。实际的寄存器位名称和相关的位描述请参照图 5-73 和表 5-89.

31-28	27-12	11-1	0
变量(4-Bit)	块排序(16-Bit)	结构(11-Bit)	LSB
R-0000	R-0000 0000 0111 1001	R-0000 0010 111	R-1

图例：R=只读，-n=复位后的值

图 5-73. JTAG ID 寄存器描述-TM320DM642 寄存器值-0x0007 902F

表 5-89 JTAG ID 寄存器位描述

位	名称	描述
31:28	变量	变量值(4-Bit).DM642 值：0000
27:12	块排序	块序值(16-Bit). DM642 值：0000 0000 0111 1001
11-1	结构	结构值(11-Bit). DM642 值：0000 0010 111
0	LSB	LSB. 此位 DM642 读做 1

5.20.2 JTAG 外设寄存器描述

表 5-90. JTAG ID 寄存器

十六位地址范围	缩写	寄存器名	内容
01B3 F008	JTAGID	JTAG 识别寄存器	只读。支持 32 位 JTAG 设备

5.20.3 JTAG 检测端口 电气数据/时序

表 5-91 JTAG 检测端口的时序要求（见图 5-74）

序号		-500 -600 -720		单位
		最小	最大	
1	$t_{c(TCK)}$ 循环时间，TCK	35		ns
3	$t_{su(TDIV-TCKH)}$ 启动时间，TDI/TMS/$\overline{TRST}$ 在 TCK 置高电平之前有效	10		ns

4	$t_{h(TCKH-TDIV)}$ 保持时间，TDI/TMS/$\overline{TRST}$ 在 TCK 置高电平之后有效	9	ns

表 5-92 JTAG 检测端口推荐条件下的开关特性（见图 5-74）

序号	参数	-500 -600 -720		单位
		最小	最大	
1	$t_{d(TCKL-TDOV)}$ 延迟时间，TCK 置低 TDO 有效	0	18	ns

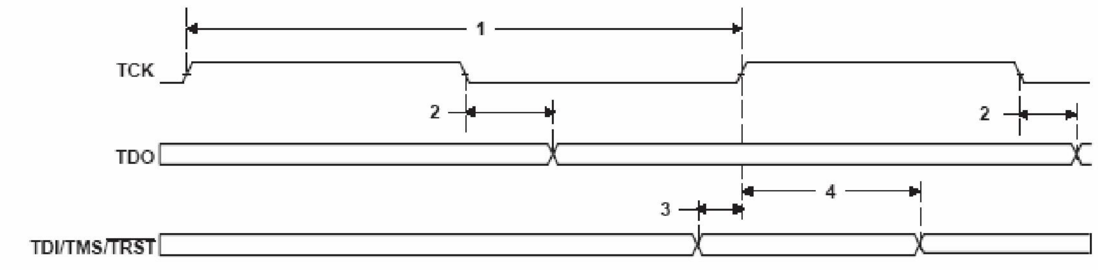


图 5-74 JTAG 检测端口时序

第 6 章 机械参数

下表给出了PBGA — GDK, GNZ, ZDK,**和**ZNZ**封装的热敏电阻机械特性。**

6.1 热敏参数

表6-1 **热敏电阻特性**(S-PBGA **封装**) [GDK]

NO		°C/W	空气流动(m/s) (1)
1	$R\Theta_{JC}$ 连接到外壳	3.3	N/A
2	$R\Theta_{JB}$ 连接到电路板	7.92	N/A
3	$R\Theta_{JA}$ 悬空	18.2	0.00
4		15.3	0.5
5		13.7	1.0
6		12.2	2.00
7	Psi_{JT} 接到封装顶部	0.37	0.00
8		0.47	0.5
9		0.57	1.0
10		0.7	2.00
11	Psi_{JB} 连接到电路板	11.4	0.00
12		11	0.5
13		10.7	1.0
14		10.2	2.00

(1) m/s = **米每秒**

表6-2 **热敏电阻特性**(S-PBGA **封装**) [GNZ]

NO		°C/W	空气流动(m/s) (1)
1	$R\Theta_{JC}$ 连接到外壳	3.3	N/A
2	$R\Theta_{JB}$ 连接到电路板	7.46	N/A
3	$R\Theta_{JA}$ 悬空	17.4	0.00
4		14.0	0.5
5		12.3	1.0
6		10.8	2.00
7	Psi_{JT} 接到封装顶部	0.37	0.00
8		0.47	0.5

9		0.57	1.0
10		0.7	2.00
11	Psi_{JB} 连接到电路板	11.4	0.00
12		11	0.5
13		10.7	1.0
14		10.2	2.00

(1) m/s = 米每秒

表6-3 热敏电阻特性(S-PBGA 封装) [ZDK]

NO		°C/W	空气流动(m/s) (1)
1	$R\Theta_{JC}$ 连接到外壳	3.3	N/A
2	$R\Theta_{JB}$ 连接到电路板	7.92	N/A
3	$R\Theta_{JA}$ 悬空	18.2	0.00
4		15.3	0.5
5		13.7	1.0
6		12.2	2.00
7	Psi_{JT} 接到封装顶部	0.37	0.00
8		0.47	0.5
9		0.57	1.0
10		0.7	2.00
11	Psi_{JB} 连接到电路板	11.4	0.00
12		11	0.5
13		10.7	1.0
14		10.2	2.00

(1) m/s = 米每秒

表6-4 热敏电阻特性(S-PBGA 封装) [ZNZ]

NO		°C/W	空气流动(m/s) (1)
1	$R\Theta_{JC}$ 连接到外壳	3.3	N/A
2	$R\Theta_{JB}$ 连接到电路板	7.46	N/A
3	$R\Theta_{JA}$ 悬空	17.4	0.00
4		14.0	0.5
5		12.3	1.0
6		10.8	2.00
7	Psi_{JT} 接到封装顶部	0.37	0.00
8		0.47	0.5
9		0.57	1.0
10		0.7	2.00
11	Psi_{JB} 连接到电路板	11.4	0.00

12		11	0.5
13		10.7	1.0
14		10.2	2.00

(1) m/s = **米每秒**

6.2 封装信息

以下封装信息和附录反映了最新公布的数据以提供给指定的设备。这些参数的变更恕不另行通知，并且不再修改这一文件。

封装信息表

Orderable Device	**状态(1)**	**封装形式**	**封装描述**	**管脚**	**封装数量**	**生态计划(2)**	**Lead/Ball Finish**	**MSL 温度峰值（3）**
TMS320DM642AGDK5	ACTIVE	FCBGA	GDK	548	60	TBD	SNPB	Level-4-220C-72HR
TMS320DM642AGDK6	ACTIVE	FCBGA	GDK	548	60	TBD	SNPB	Level-4-220C-72HR
TMS320DM642AGDK7	ACTIVE	FCBGA	GDK	548	60	TBD	SNPB	Level-4-220C-72HR
TMS320DM642AGDKA5	ACTIVE	FCBGA	GDK	548	60	TBD	SNPB	Level-4-220C-72HR
TMS320DM642AGDKA6	ACTIVE	FCBGA	GDK	548	60	TBD	SNPB	Level-4-220C-72HR
TMS320DM642AGNZ5	ACTIVE	FCBGA	GDK	548	60	TBD	SNPB	Level-4-220C-72HR
TMS320DM642AGNZ6	ACTIVE	FCBGA	GDK	548	60	TBD	SNPB	Level-4-220C-72HR
TMS320DM642AGNZ7	ACTIVE	FCBGA	GDK	548	60	TBD	SNPB	Level-4-220C-72HR
TMS320DM642AGNZA6	ACTIVE	FCBGA	GDK	548	60	TBD	SNPB	Level-4-220C-72HR
TMS320DM642AGNZA7	ACTIVE	FCBGA	GDK	548	60	TBD	SNPB	Level-4-220C-72HR
TMS320DM642AZDK5	ACTIVE	FCBGA	ZDK	548	60	Pb-Free	SNAGCU	Level-4-220C-72HR
TMS320DM642AZDK6	ACTIVE	FCBGA	ZDK	548	60	Pb-Free	SNAGCU	Level-4-220C-72HR
TMS320DM642AZDK7	ACTIVE	FCBGA	ZDK	548	60	Pb-Free	SNAGCU	Level-4-220C-72HR
TMS320DM642AZDKA5	ACTIVE	FCBGA	ZDK	548	60	Pb-Free	SNAGCU	Level-4-220C-72HR

TMS320DM642AZDKA6	ACTIVE	FCBGA	ZDK	548	60	Pb-Free	SNAGCU	Level-4-220C-72HR
TMS320DM642AZNZ5	ACTIVE	FCBGA	ZNZ	548	40	Pb-Free	SNAGCU	Level-4-220C-72HR
TMS320DM642AZNZ6	ACTIVE	FCBGA	ZNZ	548	40	Pb-Free	SNAGCU	Level-4-220C-72HR
TMS320DM642AZNZ7	ACTIVE	FCBGA	ZNZ	548	40	Pb-Free	SNAGCU	Level-4-220C-72HR
TMS320DM642AZNZA5	ACTIVE	FCBGA	ZNZ	548	40	Pb-Free	SNAGCU	Level-4-220C-72HR
TMS320DM642AZNZA6	ACTIVE	FCBGA	ZNZ	548	40	Pb-Free	SNAGCU	Level-4-220C-72HR
TMS320DM642GDK500	ACTIVE	FCBGA	GDK	548		TBD	Call TI	Call TI
TMS320DM642GDKA500	OBSOLETE	FCBGA	GDK	548		TBD	Call TI	Call TI
TMS320DM642ZDK500	ACTIVE	FCBGA	ZDK	548		TBD	Call TI	Call TI
TMS320DM642ZDK600	ACTIVE	FCBGA	ZDK	548		TBD	Call TI	Call TI
TMS320DM642ZNZ500	ACTIVE	FCBGA	ZNZ	548		TBD	Call TI	Call TI

（1） 状态值定义如下:
ACTIVE:生产产品建议用于新的设计。
LIFEBUY: 德州仪器宣布该装置将被停止销售，终身买卖受到影响。
NRND: 不建议用于新设计。设备已投入生产以支持现有的客户，但德州仪器目前不建议使用此参加一种新的设计。
PREVIEW: 装置已经宣布有了，但不生产。样本可能或不可能使用。
OBSOLETE:德州仪器已经停止生产该产品。

（2） 生态计划－－根据计划的生态分级：无铅（RoHS）认证，无铅（免除RoHS）或绿色（符合RoHS ＆无锑/溴）——请登陆http://www.ti.com/productcontent查看最新的信息和附加产品内容的细节。
TBD：无铅/绿色改建计划还没有确定。
Pb-Free (RoHS): TI的"无铅"或"无铅产品"，是指半导体产品符合当前RoHS对6种化学物质的要求，包括在类似原材料情况下按重量计算铅不超过0.1％ 。Ti的无铅产品都适合使用在特定的无铅化工程中，适合在高温下焊接。
Pb-Free (RoHS Exempt): 该元件具有RoHS，除了1）基于在模具和封装中的倒装芯片焊料的凸点的铅，2）基于在模具和引线框架的胶粘剂模具的铅。该元件还另外考虑上面提到的无铅(RoHS compatible)的。
Green (RoHS & no Sb/Br): 德州仪器定义的" Green "是指无铅（兼容RoHS） ，而且无溴（ Br ）与锑（ Sb ）是基于火焰阻燃剂的（在均质材料里按重量计算，BR或锑不超过0.1

%)。

（3）MSL, Peak Temp：潮湿敏感度等级评级跟据该JEDEC的行业标准分类，并采用峰焊锡温度。

重要信息与免责声明：在此页面中所提供的资料，代表着规定日期内的 TI 的知识和信誉。TI 公司基于知识和信誉对第三方提供资料，不做任何陈述或保证以上述资料的准确性。我们正在努力更好地整合来自第三方的信息。TI 公司已采取并继续采取合理步骤，以提供具有代表性和准确的信息，但可能不会进行破坏性测试或引入的材料和化学品的化学分析。TI 及 TI 公司的供应商认为某些信息是专有的，因此 CAS 号码和其他有限的相关信息可能不提供。

修订历史

这个数据手册修订历史突出了技术性修改，使 SPRS200K 特殊设备数据手册成为 SPRS200L 的修改。

范围：适用于更新到 C64x 系列，特别是涉及到 TMS320DM642 器件已纳入其中。

GP7 到 GP0 复位后默认状态为只允许输入。

注意	添加/更改/删除
	章节 5.19.1, GPIO 特殊设备信息： 数据表格 5-71 GPIO 数据定向寄存器 (GPDIR) [十六进制地址: 01B0 0004]: 把 GP7DIR 到 GP3DIR 和 GP0DIR 的缺省值从" R/W-1 "更新/更改到 " R/W-0 "